

Il futuro dei processori customizzabili

I core microprocessori estensibili Xtensa di Tensilica sono configurabili in base all'ampiezza di banda elaborativa richiesta da molti task embedded

VALERIO ALESSANDRONI

Nonostante i processori embedded general purpose possano gestire molti task, ad essi manca spesso l'ampiezza di banda necessaria per operazioni di elaborazione particolarmente complesse. Per ottenere la velocità e l'ampiezza di banda richieste è quindi necessario progettare logica custom utilizzando linguaggi Rtl (Register transfer level) come Verilog o Vhdl. Tuttavia, poiché la progettazione Rtl è laboriosa, può essere conveniente valutare un'alternativa: quella dei processori multipli. Una nuova classe di processori, i core microprocessori estensibili come la famiglia Xtensa di Tensilica, è configurabile in modo da ottenere la quantità e il tipo di ampiezza di banda elaborativa richiesti da molti task embedded. Poiché tali processori utilizzano firmware, anziché hardware definito tramite Rtl, per il loro algoritmo di controllo, è facile e veloce sviluppare e verificare motori basati su processori per molti task Soc. Più facile rispetto allo sviluppo e alla verifica di blocchi hardware basati su Rtl per eseguire gli stessi task.

"Nei prossimi 5 anni, avverranno forti investimenti in dispositivi Soc (System on chip) orientati alle applicazioni", afferma Chris Rowen, presidente/Ceo presso Tensilica. Rowen aggiunge che è in atto un forte cambiamento riguar-

dante il mezzo di implementazione: processori sempre più sofisticati o architetture alternative?. Tensilica risponde alla domanda proponendo i suoi processori configurabili ed estensibili. "Di fronte ad architetture così complesse, esiste l'esigenza critica di sviluppare a livello di task, non più di gate, utilizzando le infrastrutture esistenti, con team di progettisti piccoli e non eccessivamente sofisticati", sottolinea Rowen. "I progetti raggiungeranno miliardi di gate, con forti incrementi di densità e di velocità. Progettare un chip molto complesso (con un investimento di 15-20 milioni di dollari) richiederà mesi e sarà necessario anticipare le funzioni legate al know-how (blocchi IP) che dovranno essere inserite nel prodotto". Per risolvere il problema della scalabilità, infine, sarà necessario trovare un giusto grado di parallelismo, sfruttando in modo ottimale le centinaia di milioni o i miliardi di gate disponibili.

NUOVI METODI PER LA PROGETTAZIONE DI SOC

Oggi, i progettisti utilizzano una grande quantità di blocchi logici basati su Rtl. Ma sviluppare la logica Rtl custom è molto laborioso e, successivamente, è difficile eseguire delle modifiche al progetto. Nella tipica architettura di un progetto Soc sono presenti una serie di sottosistemi Rtl,

che eseguono le operazioni di elaborazione dei dati, e un processore embedded che controlla il percorso dati. I sottosistemi Rtl sono connessi al processore embedded attraverso un bus di sistema e comunicano con il processore stesso usando un metodo basato su interrupt.

Quando il processore serve tutti gli interrupt, sono richieste tutte le prestazioni di cui può disporre. Tuttavia, nel tempo rimanente il processore è inattivo: in effetti, un processore embedded può restare tipicamente inattivo per oltre il 90% del tempo e funzionare a pieno carico solo nel rimanente 10%.

Un compromesso spesso utilizzato fra la potenza dell'Rtl e la flessibilità del microprocessore è quello di introdurre un Dsp nel sistema. Tuttavia, se l'algoritmo software non è particolarmente tagliato per un Dsp, il problema fondamentale resta irrisolto. L'obiettivo rimane quello di avere un set di istruzioni del processore specifico all'applicazione in modo da potere incorporare i sottosistemi Rtl nel processore.

Utilizzando il processore Xtensa di Tensilica, è possibile raggiungere questo obiettivo. Le istruzioni possono essere scritte con il linguaggio Tie (Tensilica instruction extension), un sottoinsieme di Verilog e C, per essere quindi integrate nel core del processore con il compilatore Tie.

"La diffusione dei processori specifici all'applicazione, configurabili ed estensibili, crea un nuovo percorso di progettazione rapido e semplice, abbastanza efficace nell'occupazione del silicio e nella potenza richiesta da permetterne l'impiego in volumi elevati in un'ampia varietà di sistemi embedded", conclude Rowen.

brevi

NUOVE DATE PER BIAS 2004

Sono state definite ufficialmente le date del 31° Bias, Convegno Mostra Internazionale dell'Automazione, Strumentazione e Microelettronica, e di Bias Microelettronica 2004. La prossima edizione della manifestazione è in programma dal 14 al 17 settembre 2004 nei padiglioni di Fiera Milano. Due le note di rilievo, dunque: riduzione da cinque a quattro del numero di giorni, in risposta a una richiesta pressante degli operatori, e nuova data fissata nella terza settimana di settembre, anche qui sulla base delle indicazioni degli operatori e delle associazioni di categoria. Bias 2004 beneficerà anche di un importante cambiamento nello scenario fieristico internazionale: Interkama, infatti, abbandona le proprie date e la propria location di Düsseldorf (scomparendo di fatto come manifestazione indipendente) e va a fondersi con Hannover Messe, affiancando nella primavera 2004 l'area Factory Automation di Hannover Messe con un'area dedicata all'industria di processo. "In questo modo" ha dichiarato Jacqueline Lampe, Amministratore Delegato di VNU Italia di cui Bias Group fa parte dal 2001 "Bias diventerà la seconda più importante Fiera internazionale di settore dopo Hannover e il principale appuntamento fieristico biennale per il Sud Europa e il bacino del Mediterraneo.