

# Electronics Summit 2004

作者、攝影 \ 歐敏銓



## 第二屆電子高峰會實況報導

# 未來IC設計主軸 - 「整合」、「彈性」與「便利」

目前IC設計的主軸正緊緊環繞著「整合」、「彈性」與「便利」三大方針在發展，這將促使電子產業之間展開更廣泛的合作計畫，其結果則可望形成更多樣的開放性設計平台，以及通達的產業標準。

電子產業的現實為何？在上一期的報導中，我們可以看出全球領導級的IC業者已有明確的共識，那就是數位化消費性電子（DC）將取代PC成為電子產業成長的驅動力。因此，電子產品的設計取向必須對症下藥，才能滿足這個新興市場的特殊需求。

在過去PC掛帥的市場上，產品的外型變化單調，但內在零件的插拔彈性相當大；相較之下，手機、DSC、DV、DVD等DC設備的特色剛好相反，一個個的外型是比炫比酷，但要拆換其內部零件、更新其功能就相當不易了。此外，在新DC時代中，電子產

品的設計對尺寸、成本、設計時程、耗電等因素更為敏感，再加上快速變動的標準、技術以及流行品味等，IC業者所面臨的挑戰其實不小。

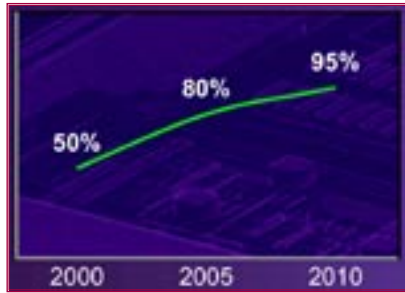
從應用的角度來看，DC產品得具備更動態的網路接取及互動功能，並能處理愈來愈大量而多樣的影音資料，而軟體在設計中的地位也會大幅提升，甚至會取代部分的硬體設計，如軟體定義射頻技術（Software Defined Radio）。當然，硬體晶片的设计仍佔有主宰地位，但得擁有更大的設計彈性，如可程式化及現場可升級能力，進而滿足個人化的DC產品設計上的種種考量。

為了因應這些挑戰，IC產業不論在技術上，或產業結構與關係上，都有調整的必要。上回整理報導了本次高峰會在產業現況上的綜合觀點，本期將以Synopsys技術長Raul Camposano博士所發表的專題演說“The Future of IC Design: An EDA Point of View”為主軸，進一步探討介紹IC設計技術上所面對的各種議題。

### 往深次微米的市場 驅動力

Camposano在演說中開宗明義地提出這樣的問題：「現在的技術是否超過市場的需求？有

《圖一 SoC設計中採Pre-designed 區塊的比例》



資料來源：Dataquest，2000；Synopsys

《圖二 IC設計Bug來源分析表》



資料來源：Collett International Research，2002；Synopsys

什麼產品非要用到更高階的深次微米製程（90nm、65nm、45nm）呢？」

在過去，往高階製程發展是不太需要猶豫的一條路；但在今

日，高階製程的成本與技術門檻愈來愈高，使得許多業者敬而遠之，加上PC功能已普遍高過市場所需，這不僅讓人以同樣的角度來反省其他電子產品在功能上的

需求極限。

Camposano指出，以3C的應用來看，電腦資訊業首重速度效能，但這部分已普遍能夠被滿足；相較之下，通訊業首重異質環境的互動性、消費性電子業強調尺寸與價格，其他的垂直產業則重視運作的可靠性，這些部分都還有很大的技術成長空間。再就整體來說，電源管理雖是老生常談的基礎問題，但不論是在製程上或系統設計上都是關鍵問題，對於可攜式產品更是如此。

因此，Camposano認為更高集積度的系統單晶片設計仍有極大的市場驅動力，然而仍得克服IP應用模式、IC設計建置流程、電源管理、數位■類比整合，以及生產設備更新等技術瓶頸，例如在建置上需要有中央級資料庫及階層式設計方法，在驗證上需要打造一個整合性的環境，並且要發展出混合訊號的驗證工具等等，以下將一一討論各個技術議題。

Synopsys技術長Camposano提出一個問題：「現在的技術是否超過市場的需求？」



## IP應用模式

在DC產品對輕、薄、短、小的設計需求驅動下，SoC系統單晶片儼然成為晶片設計的主流趨勢。要成就SoC的設計需求，說穿了就是建立一套可行的IP應用模式，讓各種軟、硬核的IP元件都能很容易地兜在一塊。這件事說來簡單，但除了擁有多樣而完整IP的IDM大廠外，能將來自不同業者的各個IP整

合在一塊的成功設計案還是不多。

儘管如此，由於IP的堆疊和再利用最有效地降低SoC設計成本與時程，SoC設計案中採用預設計（Pre-designed）IP區塊的比例不斷增加。Camposano引Dataquest的研究報導指出，在2000年時預設計IP已佔大部分SoC設計案的一半，到了2005年將達八成比例，2010年時甚至可望佔95%，由此可見得業界對IP再利用的殷切需求。

然而，有兩個大問題仍擺在業者的面前：一是什麼是IP的標準？二是如何透過IP來賺錢？

這都是大哉問也，目前在業界議論紛紛已有多時，雖略有進展，如EDA大廠對於library函式庫的公開與標準化，或由晶圓代工大廠來提供

《圖三 功耗管理的三大議題》



資料來源：Collett International Research, 2002；Synopsys

整合性的製造平台等，但要達到通透無礙的設計環境，顯然還有一大段路要走。

對此，Camposano強調平台式（Platform-based）的設計環境將是未來的發展重點。在這個平台上，只要合乎標準的IP，都能夠一起工作；在此同時，IP的多樣性也很重要，這樣才能突顯產品之間的差異性。在商業模式上，他認為IP業者要能達到一定的經濟規模，並且能提供IP可靠性的認證、建立品牌信用，此外，業者之間合作關係的強化也是不可避免的。

### 整合性的驗證環境

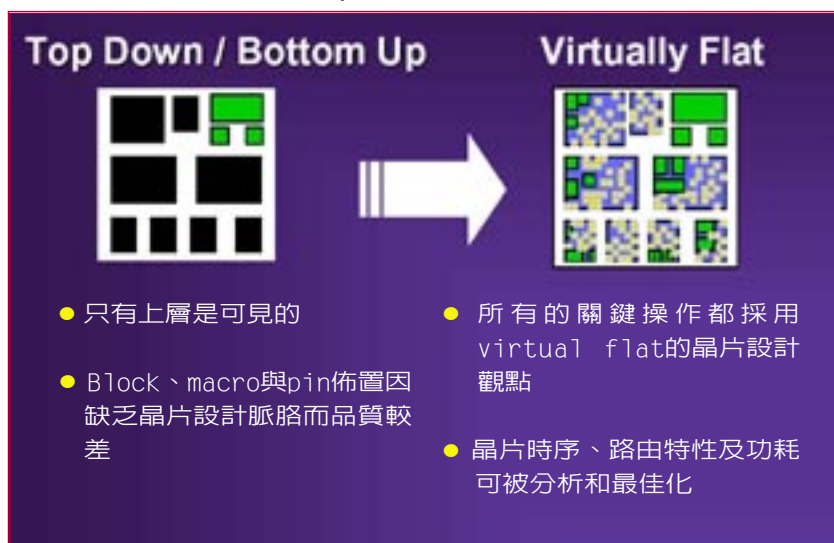
在高階的IC設計案中，由於設計的複雜性大幅提升，這也讓Bug出現的機會大增，但因

重新開發（re-spin）的成本高昂，如何避免錯誤就成了開發設計案的成功關鍵。

Camposano指出，設計驗證對產品開發成本、開發周期以及開發難度的影響愈來愈大。目前製造能力與設計驗證之間的差距有擴大的趨勢，同時驗證費用也隨著設計複雜度的提高而水漲船高。尤其在90nm以下製程將面臨在一塊積體電路上製作上億個閘的產品，而且得克服軟硬體共同設計（Co-design）或對於使用數位和類比兩種不同技術的整合設計，這些都對設計驗證造成極大的挑戰。

根據Collett國際研究公司2002年針對IC/ASIC功能性驗證的研究報告顯示，目前IC設計上的bug主要來自設計本身的錯誤，這佔了75%以上，但也有

《圖四 階層式 (Hierarchy) 設計方法的改進》



資料來源：Synopsys

近五成（47%）的錯誤是源於不正確或不完整的規格定義，這正是缺乏完善的參考規範所造成的；其他的原因還包括規格上的改變、再利用的電路問題、IP整合的問題等等因素。

因此要在設計過程中早期發現並解決問題，Camposano特別強調電子產業應採用進階的程式語言，尤其是SystemVerilog。他指出SystemVerilog能讓設計者的效率大為提升（相較於Netlist、RTL），以及具有C++高階語言的強大功能，但又不致於太難掌握與使用；在其統一的assertion、完善的測試平台（test bench）及高階API特性下，將有助於加速驗證效率。

此外，要提升驗證的可靠性，EDA業者正努力塑造一個完全整合的驗證環境：也就是讓設計工程師可以在其設計中的

任何地方，不論是數位或類比元件，都能把VHDL、Verilog、VHDL-AMS、Verilog-A、Spice和C等語言整合在一起使用，並能在這個環境中，用適當的方法來進行分析與驗證。

此外，在驗證技術的發展上還有幾個重點，例如使用數學分析方法來確定電路的狀態以及相鄰狀態之間關係的形式驗證（Formal Verification），它能補足功能驗證上的一些盲點，並提升效率；另外，由於assertion語言除了在描述上非常有效且精簡外，它還具有讓驗證工作自動化，並且能控制驗證狀態路徑，而不至於迷失在複雜而龐大的邏輯環境中的優勢，因此在未來的驗證應用上也佔有重要地位。

## 其他技術議題

### 功耗管理

在IC的設計上，功耗管理的重要性已大幅提升，甚至凌駕了多數的設計考量因素。Camposano指出，功耗管理的議題主要有三點：一是低功耗設計，二是散熱管理，三是硬體製程設計。在低功耗設計上，它是今日無線、可攜式電子設備的重要設計考量，相關業者致力於提升電池壽命、降低洩漏電力，並採取可調式動態電源設計策略。

散熱管理的議題則主要出現在高階的處理器上頭，隨著處理器的效能提升，其耗電也同步在增加，平均每36個月就增加一倍，Camposano生動地表示，照這樣發展下去，有一天處理器的發熱甚至可以和核反應爐相比擬了，因此，業界急需發展出將熱量移走的有效冷卻技術，才能讓電晶體保持在non-active的狀態下工作；此外，模組化設計與分析，以及動態電壓調節等方式也是電源管理上的必要措施。

在製程上，包括洩漏電力、IR-Drop和電子遷移等硬體設計瓶頸所引發的功耗議題，則牽動90奈米及以下製程的所有設計案，這得靠新的電路設計技術來因應，並能針對應用需求做出動態回應，這才能有效的降低硬體設計影響及管理功耗。

## IC設計之建置方法

在IC的設計建置上，Camposano認為有兩大發展重點，一是整合性的中央資料庫，一是採取階層式（Hierarchy）的設計方法學。

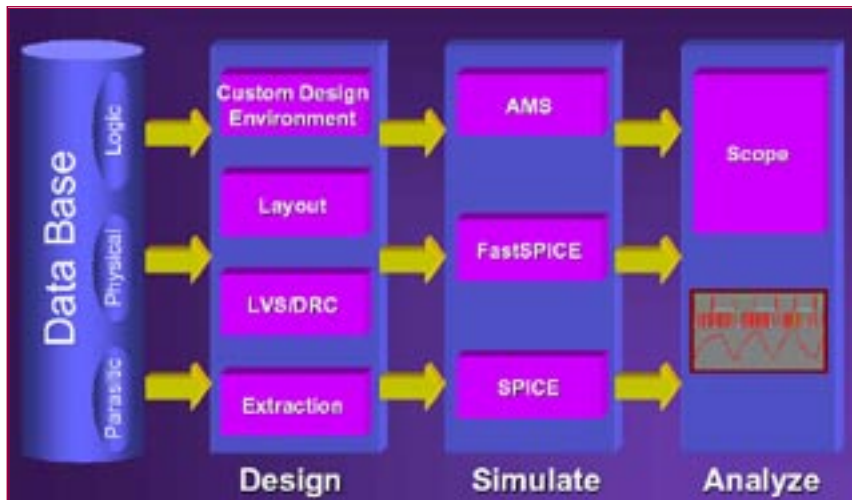
一個整合性的中央資料庫包括函式庫（libraries）、邏輯（logic）、寄生電路（parasitic）和實體線徑等，其目的是要讓各種設計語言、標準或技術能夠彼此溝通；階層式的設計則是要改善設計的品質，以進行更完善的建置與佈局操控，Camposano提出以“Virtually Flat”的設計方法取代傳統的“Top down/Bottom up”方式，進而讓晶片時序（Timing）、路由特性（Routability）與功耗都可以被分析和最佳化。

### 混合訊號的設計與驗證

隨著DC與有線、無線通訊市場的快速成長，數位與類比功能的整合設計已是IC產業致力達成的新目標。Camposano指出，目前已有三成的設計案在設計初期即加入混合訊號元件，預定到了2006年會有超過七成採用此種設計模式。

事實上，在開發過程中把數位和類比功能分開設計並不合乎現實，因為它們都是整體系統中的一部分，到最後還是得整合在一起，但愈晚整合，愈晚才會發現問題，那先前做的白工就會愈多。這是工程師們早就知道的情況，但因類比

《圖五 類比設計工具示意圖》



資料來源：Synopsys

模擬比起數位模擬來得複雜許多，因此類比模擬往往要花費更多的時間，很難讓兩者同步進行。

目前EDA公司正努力克服整合設計上的瓶頸，Camposano表示，不論從設計、模擬到驗證分析，整合式的混合訊號設計工具已比過去完備許多，未來更可望做到類比設計客製化與自動化的強大功能。

## 結論

在Camposano的演說中我們可以清楚地了解到，目前IC設計上所面臨的議題，除了往高階製程進展必然得面對的洩漏電力、IR-Drop、電子遷移、訊號完整性等硬體設計議題外，其設計主軸正緊緊環繞著「整合」、「彈性」與「便利」三大方針在發展。這將促使電子產業之間展開更廣泛的合作計

畫，其結果則可望形成更多樣的開放性設計平台，以及通達的產業標準。

這種結果是我們都樂於見到的。在這個產業或這個社會中，愈多人採開放的態度，愈有利於形塑一個多元多樣的經濟，甚至是政治或文化，大家也都能在其中扮演最恰當的角色。這也是全球眾多記者、業者齊聚一堂、集思廣益的一種寫照吧。