

# FPGAs – programmierbare Systeme auf einem Chip

## Effiziente SOPC-Designs dank neuer Logik-Architektur

**Der hart umkämpfte Elektronikmarkt zwingt Systemhersteller dazu, immer kleinere, leistungsfähigere und kostengünstigere Systeme zu liefern. Um diesen höheren Integrationsgrad zu erreichen, nutzen sie gewöhnlich zwei Wege: ASIC-basierte Systems-on-Chip und in zunehmendem Maße auch Systeme auf programmierbaren Chips, so genannte SOPCs. Die neue Stratix-II-Familie von Altera ist ein gutes Beispiel für heute realisierbare Komplexitäten und die Funktionsvielfalt moderner PLD-Bausteine.**

Von Edward Clarke

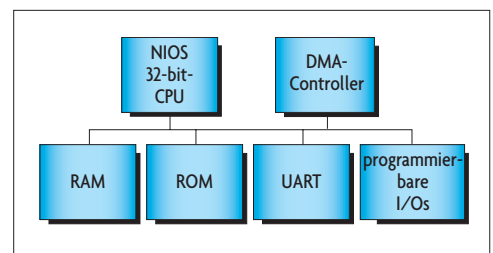
Das Ziel der SOPC-Technologie besteht darin, ein komplettes System in einem FPGA zu integrieren. Die Verfügbarkeit von optimierten Standard-IP-Blöcken (Intellectual Property) hilft den Entwicklern dabei, dieses Ziel schneller zu erreichen. Bei der Implementierung solcher Designs ist es entscheidend, die richtige Balance zwischen Entwicklungskosten und der möglichen Leistungsfähigkeit zu finden, um letztendlich den Sys-

tempreis zu ermöglichen, den der Kunde bereit ist, für diese Leistung zu bezahlen. In der Vergangenheit war gerade dieser Punkt manchmal ein Hindernis bei der erfolgreichen, kommerziellen SOPC-Implementierung. FPGAs wie die Stratix-II-Familie haben heute dank der enorm gesteigerten Komplexität und der geringeren Kosten ein Niveau erreicht, an dem ein komplettes System kosteneffektiv auf einem einzigen programmierbaren Chip implementiert werden kann. Außerdem helfen FPGAs dabei, die Designs schneller in die Produktion zu bringen, weil der Entwickler nicht auf Muster für die Verifikation warten muss. Solch ein Ansatz macht es darüber hinaus möglich, Systemverbesserungen oder -änderungen in letzter Minute durchzuführen, und zwar sowohl vor als auch noch während der Produktion.

Ein modernes FPGA muss einige grundlegende Charakteristika aufweisen, wenn es als SOPC-Plattform dienen soll. Es muss z.B. über ausreichende Routing-, Speicher-, Logik- und I/O-Ressourcen verfügen. Denn nur so kann sichergestellt werden, dass das Design

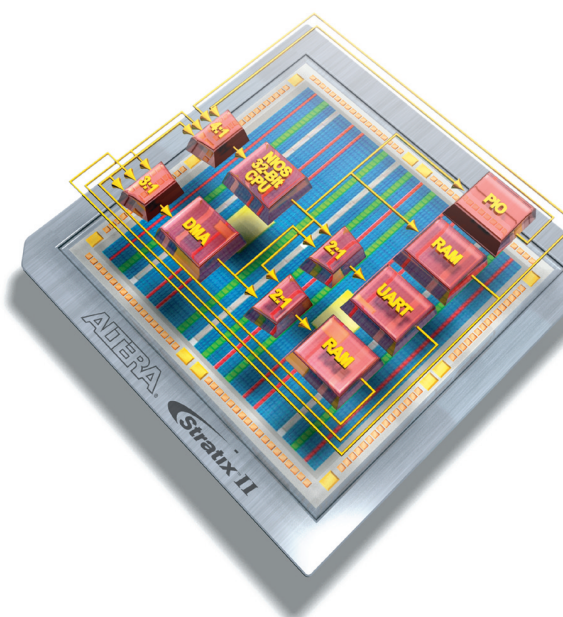
einfach zu realisieren ist, eine hohe Leistungsfähigkeit bietet und schnell entwickelt werden kann. Außerdem ist ein leistungsfähiges IP-Portfolio erforderlich, um die Applikationsentwicklung – z.B. DSP-intensive (digitale Signalverarbeitung) Anwendungen wie Bildverarbeitung, drahtlose Kommunikation und Datenübertragungsapplikationen – zu beschleunigen. Darüber hinaus sollten für das FPGA ein umfangreicher Satz an Systemintegrations- und Design-Tools sowie entsprechende Entwicklungs-Kits zur Verfügung stehen, um den Entwicklungszyklus zu verkürzen.

Altera hat seine FPGAs der zweiten Stratix-Generation (Stratix II) für das Design und die Produktion von SOPCs weiter optimiert. Die Stratix-II-Familie basiert auf den Stratix-FPGAs, die bereits über spezielle Routing-, Speicher- und DSP-Block-Architekturen verfügten. Stratix II ist darüber hinaus mit einer neu entwickelten Logikstruktur ausgestattet, die die Entwicklung leis-



**Bild 1. Beispiel für ein typisches SOPC-System auf Basis des 32-bit-Soft-Prozessor-Kerns Nios.**

(Quelle der Bilder: Altera)



tungsfähiger Systeme effizienter als jemals zuvor unterstützt. Diese neue Logik-Fabrik basiert u.a. auf der Einführung von adaptiven Logikmodulen (ALM), die die erforderliche Flexibilität bringen, um sowohl einfachere als auch komplexe Funktionen effektiv zu unterstützen und eine Vielzahl von Design-Optimierungsoptionen zu ermöglichen.

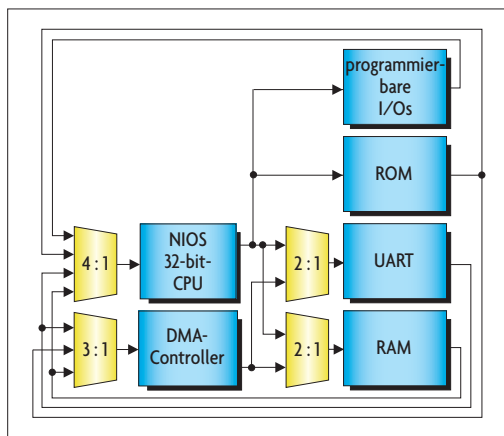
Die größere Flexibilität reduziert gleichzeitig die notwendige Anzahl von Logik-Ebenen, die für die Implementierung eines Designs erforderlich sind. Dieser Punkt ist bei heutigen ICs, in denen die Signallaufzeiten in den Chip-Verbindungen von entscheidender Bedeutung sind, kritisch. Die Stratix-II-Familie kombiniert diese gesteigerte Flexibilität mit den Vorteilen der 90-nm-

Prozesstechnologie von TSMC. Damit werden eine im Durchschnitt um 50 % höhere Geschwindigkeit gegenüber vergleichbaren Stratix-Bausteinen der ersten Generation und rund 50 % geringere Kosten für äquivalente Komplexitäten möglich. Der Stratix-II-Baustein mit der höchsten Komplexität in die-

Hilfe des „SOPC-Builder“ innerhalb von Minuten entwickelt werden. Dabei handelt es sich um ein Werkzeug, das automatisch die Logik für die Verbindung der IP-Blöcke aufbaut. Das Werkzeug verbindet die Blöcke über den „Avalon“-Bus. Avalon ist ein einfacher, vollständig synchroner FPGA-effizienter Bus. Er vermeidet die Verwendung von traditionellen bidirektionalen Leitungen und Tri-State-Puffern. Stattdessen sind alle Peripherieeinheiten mit jedem Master im System über unidirektionale Busse verbunden. Damit werden interne Tri-States überflüssig, das Timing wird einfacher und Engpässe auf dem Bus werden vermieden. Der Avalon-Bus ermöglicht außerdem einen gleichzeitigen Transfer zwischen einzelnen Bus-Master- und -Slave-Paaren. Die-



In diesem Beispiel brauchen die zwei Bus-Master Bus-Multiplexer, um einen Eingangs-Bus für jeden Slave zu unterstützen. Außerdem sind weitere Multiplexer erforderlich, damit mehrere Master auf den gleichen Slave zugreifen können. Weil in diesem Beispiel ein 32-bit-Datenbus genutzt wird, braucht der Eingang des Lese-Ports der CPU alleine 32 4:1-Multiplexer. Da die



**Bild 2. Implementierung des Nios-Designs aus Bild 1 mit den Verbindungsstrukturen des Avalon-Bussystems.**

ser neuen FPGA-Familie (EP 2S180) umfasst mehr als 70 000 ALMs bzw. 180 000 Logikelemente (LEs) mit 9,4 Mbit Embedded-Speicher. Damit ist ein Integrationsgrad erreichbar, der weit über die Möglichkeiten früherer FPGA-Familien hinausgeht.

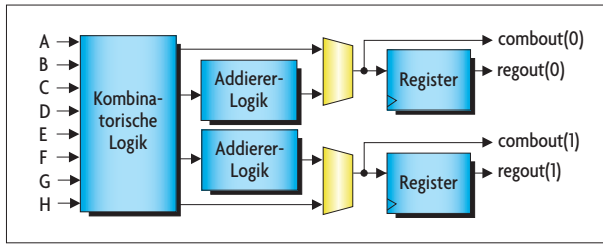
### ► SOPC-Implementierung in FPGAs

Das folgende Beispiel mit einem Stratix-II-Baustein zeigt, wie ein SOPC leicht und effizient implementiert werden kann. Das hier ausgewählte Design ist ein I/O-Subsystem, das aus einem 32-bit-Nios-Embedded-Prozessor zur Steuerung einiger paralleler I/Os, einem UART für die Kommunikation und On-Chip-RAM und -ROM besteht. Um die verfügbare CPU-Bandbreite zu maximieren, wurde noch ein DMA-Controller hinzugefügt, der den Datentransfer zwischen UART und Speicher ohne Belastung der CPU ausführt. In diesem relativ einfachen Subsystem gibt es insgesamt sechs Blöcke, die über einen gemeinsamen Bus verbunden sind (Bild 1).

**Avalon-Switch-Fabric verbindet Systeme**  
Eine Nios-basierende Implementierung des hier dargestellten Systems kann mit

ser Punkt ist besonders in Systemen nützlich, in denen entweder ein hohes Datenübertragungsaufkommen oder mehrere Datenströme auftreten. Bild 2 zeigt das gleiche System wie Bild 1, dieses Mal aber als ein über den Avalon-Bus verbundenes System.

Hier ist zu beachten, dass die Verbindungen zwischen jedem Systemblock und den dazugehörigen Eingangsmultiplexern auf den Lese-Ports zu sehen sind. Jede Verbindung repräsentiert einen Bus, wobei jeder Bus Steuerungssignale und unidirektionale Adress- und Datensignale überträgt. Mit diesem Layout ist es leichter zu verstehen, wie die Daten wirklich durch das mit dem SOPC-Builder erzeugte System fließen und wie das System auf RTL (Register Transfer Level) implementiert werden könnte.



**Bild 3.** Die „Adaptiven Logik-Module“ (ALMs) sind die Basiselemente der neuen Logikstruktur.

Komplexität von SOPC-Systemen steigt und weitere Bus-Master hinzukommen, werden breitere und zusätzliche Multiplexer notwendig.

Multiplexer sind aber nicht nur erforderlich, um die Ports der Systemblöcke zu bedienen, sondern auch um die CPU zu unterstützen. Tatsächlich bestehen bis zu 20 % der Systemlogik aus Multiplexern, die den Datenfluss rund um den Kern steuern. Dementsprechend haben die Optimierung und die Steigerung des Durchsatzes von Multiplexern einen entscheidenden Einfluss auf die gesamte SOPC-Leistung.

sich leicht auf die Verbindungsstruktur eines FPGA abbilden. Außerdem nutzt die Avalon-Switch-Fabric die Routing-Fähigkeiten der Stratix-II-Bausteine und anderer Altera-FPGAs effektiv, welche gewährleisten, dass auch solche Designs noch „geroutet“ werden können, die die Bausteine zu 95 % und mehr auslasten. An den Lese- und Schreibports sind breite Multiplexer implementiert, die die Verbindungen zwischen jedem Block steuern. Gemäß der Adresse, die angesprochen wurde, steuert der Master die ausgewählten Eingänge der Multiplexer. Außerdem steht auf der Slave-Seite eine kleine Ar-

**FPGA-Implementierung**

In dem Beispiel-SOPC-System ist die Abbildung des Busses in ein FPGA einfach. Die Leitungen, die die Master und Slaves verbinden, lassen

bitrierungslogik zur Verfügung, die, wenn nötig, die Zugriffe von mehreren Mastern regelt. All diese Logik, einschließlich der Multiplexer, ist im programmierbaren Logikteil des FPGA implementiert. Im Vergleich zu früheren FPGA-Architekturen kann der Anwender mit der neuen Stratix-II-Architektur diese Funktionen effizient umsetzen.

**Die Stratix-II-Architektur**

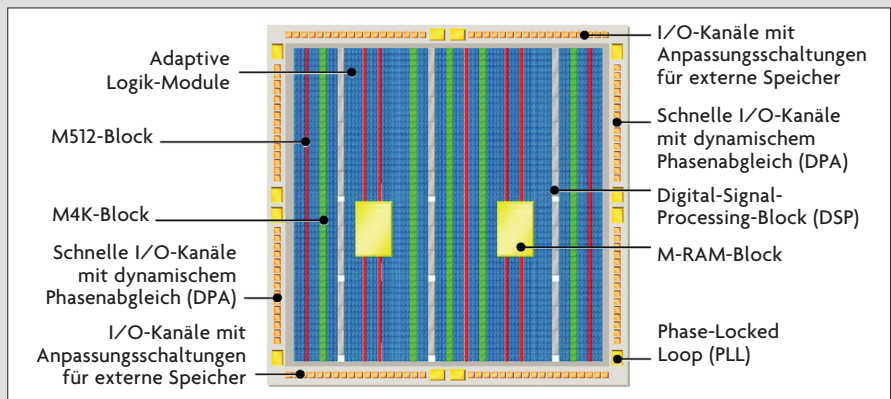
Die flexible neue Stratix-II-Logikstruktur ist um die ALMs herum aufgebaut. Ein ALM hat acht Eingänge, zwei Ausgänge und zwei Register, die unabhängig voneinander oder in Verbindung mit LUT-Ressourcen (Look-up-Tables) genutzt werden können (Bild 3). Außerdem sind Pfade für Übertrag, Kaskadierung und Rückkopplung vorhanden, mit denen sich komplexere Funktionen aufbauen lassen oder dedizierte Addierer für die Unterstützung eines Dreifach-Addierbaums realisieren lassen.

**Stratix II – neue Logikstruktur für mehr Design-Effizienz**

Die neue Stratix-II-Familie ergänzt mit ihrer neuen Logikstruktur die wesentlichen Merkmale, die schon zum Erfolg der ersten Stratix-Generation beigetragen haben, wie TriMatrix-Speicher, DSP-Funktionsblöcke und die externen Speicher-Schnittstellen. Optimiert für den 90-nm-Prozess, wurden die Produktmerkmale nochmals deutlich verbessert:

- Höhere Komplexität und höhere Geschwindigkeit – Bei mehr als der doppelten Komplexität und über 9 Mbit Speicher ist die Stratix-II-Familie um mehr als 50 % schneller als die vorherige FPGA-Generation.

- Bis zu viermal mehr DSP-Bandbreite – Stratix-II-Bauelemente liefern eine hohe, vorhersagbare Leistung für komplexe DSP-Funktionen mit bis zu 384 Multiplizierern (18 × 18 bit) je Baustein.
- Unterstützung für moderne Speicher – Stratix-II-Bauelemente unterstützen mit einer speziellen Schaltung die modernsten externen Speicher-Schnittstellen. Es werden u.a. 256-MHz-DDR2-SDRAM, 300-MHz-RLDRAM II und 200-MHz-QDR-SRAM unterstützt, mit ausreichender Bandbreite und I/O-Pins für den Anschluss 168-/144-poliger 64-bit-DIMMs.



**Die Stratix-II-Architektur umfasst neben den Adaptiven Logik-Modulen im Wesentlichen verschiedene Speicherblockstrukturen, DSP-Blöcke sowie verschiedene I/O-Strukturen.**

- 1-Gbit/s-I/Os mit dynamischem Phasenausgleich – Mit ihren SerDes- und DPA(Dynamic Phase Alignment)-Schaltungen ermöglichen die Stratix-II-FPGAs I/O-Datenraten von 1 Gbit/s für quellsynchrone Übertragungen ohne zusätzliche Logik-Ressourcen. Damit werden bei sehr schneller Datenübertragung das Leiterplatten-Layout und das Timing-Management vereinfacht.
- Höhere TriMatrix-Speicherbandbreite – Die Stratix-II-Chips bieten bis zu 9 Mbit Speicher (mit Parität), um vielfältige spei-

cherintensive Applikationen zu unterstützen.

Stratix-II-FPGAs verfügen aber auch über neue Funktionen, wie eine nichtflüchtige 128-bit-Verschlüsselungs-Technologie auf Basis des AES-Algorithmus (Advanced Encryption Standard). Sie stellt sicher, dass kundenspezifische IP-Blöcke, die in das FPGA implementiert wurden, geschützt sind. Die Stratix-II-Bausteine sind die ersten SRAM-basierten FPGAs mit einer nichtflüchtigen Verschlüsselung.

Die neuen LUT-Ressourcen kann der Anwender in verschiedenen Modi konfigurieren: beispielsweise als eine 7-Input-LUT, zwei gleiche 6-Input-LUTs, zwei 5-Input-LUTs mit zwei geteilten Eingängen, zwei 4-Input-LUTs für die Rückwärtskompatibilität mit der ersten Generation von Stratix-Bausteinen, oder Kombinationen kleinerer Funktionen wie einer 3-Input-LUT mit einer 5-Input-LUT. Einer der wichtigsten Vorteile einer größeren Look-up-Table besteht darin, Multiplexer sehr effizient zu implementieren.

Die Effizienz der Stratix-II-Architektur lässt sich mit den 32 bit breiten 4:1-Multiplexern aus obigem SOPC-Beispiel zeigen: Zur Implementierung ist nur das Äquivalent von 32 LEs notwendig, im Gegensatz dazu waren es in früheren Architekturen 64 LEs.

Die Compilierung des beispielhaften SOPC-Designs demonstriert die Vorteile, die sich durch die Unterstützung von breiten Funktionen ergibt. In einem Stratix-II-Baustein benötigt das Beispielsystem das Äquivalent von nur 1745 LEs, verglichen mit 2851 LEs bei einer Stratix-Implementierung. Die gesparten 1106 LEs bedeuten eine Effizienzsteigerung um 39 %, eine Verbesserung, die mit der 40-prozentigen Steigerung von  $f_{max}$  auf 176 MHz einher geht. Die Geschwindigkeits- und Effizienzsteigerungen ermöglichen die erschwingliche Implementierung von komplexeren, schnellen FPGA-basierenden SOPC-Designs.

Selbstverständlich sind viele praxisgerechte Systeme komplexer als das relativ einfache, hier diskutierte SOPC-

Beispiel. In solchen Systemen sind oftmals viele breite Multiplexer erforderlich. Die Quartus-II-Design-Software von Altera konstruiert solch größere Multiplexer, indem sie 8:1-Mux-Funktionsbausteine nutzt, gleichzeitig aber die Anzahl der Logikebenen minimiert, um die Leistungsvorteile aufrechtzuerhalten. Multiplexer sind in vielen Systemen mit unterschiedlichen Datenpfaden sehr häufig genutzte Funktionen. DSP-basierende Systeme, in denen die Blöcke im Zeitbereich gemultiplext werden (was viele I/O-Standards vorsehen), greifen ebenfalls in signifikanter Art und Weise auf Multiplexer-Blöcke zurück. Jedes Protokoll, das Steuerworte umfasst und mit hoher Geschwindigkeit arbeitet, braucht Logik, um diese Steuerworte in den Datenstrom einzufügen und zu löschen. Das Löschen und Einfügen dieser Worte, genauso wie jede Art der Datenverarbeitung in einem Datenstrom, macht die Verwendung eines „Barrel-Shifters“ notwendig, der wiederum ebenfalls aus Multiplexern verschiedener Breiten besteht.

SOCs sind für Systementwicklungen prädestiniert, bei denen die Endanwender eine höhere Leistung auf einer kleineren Plattform zu geringeren Kosten brauchen. Sie bringen enorme Integrationsvorteile und zwar in Bezug auf die benötigte Leiterplattenfläche, die Zuverlässigkeit, Leistung und Kosten. Da Leistung und Komplexität von programmierbaren Bausteinen gestiegen sind, greifen Entwickler verstärkt auf SOPC-Lösungen zurück, weil sie dadurch in den Genuss der zusätzlichen Vorteile kommen, die solche

Ansätze bieten: höhere Design-Flexibilität, niedrigere Entwicklungskosten, geringeres Risiko und eine kürzere Markteinführungszeit. Die neuen Stratix-II-FPGAs von Altera setzen auf einer komplett neuen Logikarchitektur auf. Ihre Komplexität ist um mehr als den Faktor 2 größer, die Geschwindigkeit liegt um 50 % höher und die Kosten um rund 50 % niedriger als bei früheren FPGA-Generationen. Allein diese wesentlichen Vorteile erlauben es den Entwicklern, SOPC-Designs für eine große Palette von neuen Applikationen zu implementieren. *gs*

**Literatur**

[1] Altera-Homepage: [www.altera.com](http://www.altera.com)



**Edward Clarke**

**hat einen Abschluss in Electrical and Electronic Engineering der Universität Bristol. Er ist Product Marketing Engineer bei Altera Europe in High Wycombe, Bucks/England, und verfügt über mehr als zehn Jahre Erfahrung in den Bereichen Halbleiter-Design, Applikationsunterstützung und technisches Marketing.**