

차세대 SoC, 애플리케이션 시장 이끌어 갈 것으로



EDA 및 IP 업체 패널리스트들, SoC 설계 문제에 관한 토론

이주연

Globalpress가 주최한 Electronic Summit 2005에서 열린 'SoC 디자인' 패널 토론에서

는 EDA 및 IP 업체들이 '오늘날 SoC 디자인에서의 과제'라는 주제로 각각 EDA 관점

차세대 SoC, 애플리케이션 시장 이끌어 갈 것으로 기대

▶ 1 쪽에서

의 SoC 설계와 마이크로프로세서 관련에서의 SoC 설계에 관한 열띤 토론이 있었다.

토론의 첫 패널리스트로 나온 eSilicon사의 사장이자 CEO인 Jack Harding 씨는 SoC 설계에서 핵심적으로 다루어야 할 문제는 바로 제조 능력이라고 강조했다. "SoC 설계 문제와 관련하여 재고 해박야 할 것은 설계 자체만이 아닌 설계와 제조 이 두 가지를 동시에 다루어야 한

는 IP 등 여러 채널 레벨에서 소프트웨어를 제공받기 때문에 설계에서 문제가 발생하면 이것을 어떻게 검증할 것인가 또한 문제가 될 수 있다. 검증 작업은 물론이고 서로 다른 프로세서들을 교차시켜 애플리케이션 코드를 매핑하는 것은 가장 까다로운 작업이 될 것"이라고 말했다.

MIPS Technologies사의 제품 마케팅 이사인 Tom Peterson 씨도 Kelf 씨의 주장을 지지했다. "차세대 SoC는 애플리케이션 시장

투 마켓 요건을 맞출 수 없다. 또한 새로운 기능 추가, 표준 변경으로 인한 칩 수정이 불가피하여 그만큼 위험부담을 안고 설계를 해야 했다.

하지만 Tensilica사가 주장하는 컨피규러블 프로세서는 SoC 설계에 있어 기존 RTL 중심인 하드웨어적 접근방법에서 마이크로프로세서 중심의 접근방법으로 설계 방법론의 전환을 제안하고 있다.

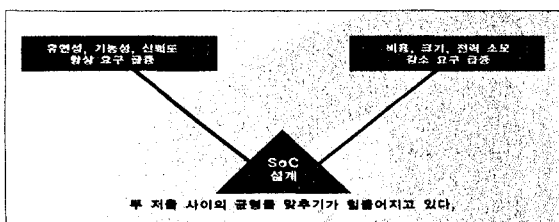
"컨피규러블 프로세서는 단순한 추가 작업으로 마이크로프로세서의 성능을 높일 수 있는 개념으로 마이크로프로세서의 새로운 진화"를 의미한다고 Steve Roddy 씨는 강조했다.

"최근에는 하나의 SoC당 여섯 개의 컨피규러블 프로세서가 사용되고 있는 것으로 조사됐으며, 갈수록 프로세서 중심의 블록 기반 설계가 확대되고 있다. 특히 프로그램이 용이하고 재제작할 필요가 없는 이러한 컨피규러블 프로세서는 유연성과 함께 설계시간 단축, 성능 향상에 매우 유리해 갈수록 시장이 확대될 것으로 전망된다."

ARC International사의 CEO인 Carl Schlachte 씨는 멀티프로세서 사용 환경에서의 검증 문제를 언급했다. "다수의 CPU를 함께 놓지 않는 이유는 서로 다른 프로세서를 어떻게 쉽게 검증할 것인지 검증 문제가 있기 때문

이다. 이들 CPU는 분명 함께 제대로 동작해야 하겠지만 대부분의 사람들이 사용하고 있는 플랫폼은 서로 다른 멀티프로세서 환경에서 제대로 플러그 앤 플레이가 되지 않는다."

한편 MIPS Technologies사의 Tom Peterson 씨는 SoC 설계 플랫폼에서 ESL(Electronic Testability)급 저장 매체로 떠오르는 액정 System Level) 기반의 하드웨어-소프트웨어 공동 설계는 큰 문제가 되지 않을 것이라고 말했다. "EDA 업체 또는 ARC, Tensilica와 같은 프로세서 IP 벤더들이 여기에 필요한 것을 제공할 것이기 때문이다." □



오늘날 SoC 설계에서 해결해야 할 문제점이 커지고 있다.

다"고 그는 말했다.

"컨수머, 특히 차세대 휴대폰의 설계를 비교해 보면 설계가 거의 비슷비슷하다는 것을 알 수 있다. 비슷한 ARM 코어와 TI의 OMAP을 사용하고 있다. 설계 차별화의 판권은 제조능력에서의 차이라고 생각한다. 예를 들어, eSilicon 사에서는 설계 시작에서 제품 양산 시점까지를 한번의 주기로 보지 않고 이를 세 단계로 나눠 설계 시작에서 합성, 합성에서 프로토타입, 프로토타입에서 제품의 수명이 다할 때로 나눠 고객들과 작업하고 있다. 설계와 제조 사이의 장벽도 이렇게 간격을 나눠 살펴볼 수 있다면, SoC 설계 문제 해결도 보다 쉽게 접근할 수 있지 않을까 생각한다."

Harding 씨가 SoC 설계에서의 문제점에 관련하여 설계와 제조의 조화에 초점을 두어 설명했다면, Novas Software사의 마케팅 VP인 Dave Kelf 씨는 SoC 아키텍처 자체가 무게를 두어 접근했다. "SoC 아키텍처의 토대가 변모하는 시점에 와있다. 비교적 하드웨어는 고정되어 있는 반면에 애플리케이션의 기능은 소프트웨어로 코딩되고 있는 상황이다. 따라서 SoC 설계에서 주된 형태의 하드웨어 보다는 특정 기능을 담을 수 있는 소프트웨어 기능이 더 강화될 것이다."

Kelf 씨는 "소프트웨어 설계 시스템의 경우 OEM, ASIC 또

선 시장을 이끌어 갈 것이다. 중요한 문제는 멀티플 스트레드 또는 멀티 프로세서에 애플리케이션 코드를 어떻게 매핑시킬 것인가 하는 것이다. TV 세트 기능이 하드웨어 대신에 자바로 구현된다고 상상해 보라. 소프트웨어 재사용과 같은 소프트웨어를 둘러싼 핵심적인 문제들이 이슈화될 것이다."

Tensilica사의 마케팅 VP인 Steve Roddy 씨 또한 Tom Peterson 씨의 의견에 동의했다. "핵심적인 기능들을 수행하기 위한 하드와이어드 로직 설계가 갈수록 복잡해지고 위험 요소가 커지고 있는 상황이다. 소프트웨어가 애플리케이션에 최적화된 프로세서를 구동하도록 기능화하여 리스크와 설계 복잡성을 해결할 수 있다."

아키텍처의 변화

SoC 칩에 들어가는 마이크로프로세서의 성능을 높이기 위한 기존의 설계 방법론으로 디자인이들은 클럭 게이트를 높은 방법과 마이크로프로세서가 처리하지 못하는 기능을 하드와이어드 로직이 처리하도록 하는 방법을 사용했다. 하지만 클럭 속도가 높아지면 전력 소모가 커져 모바일 디바이스에는 사용할 수가 없고, 기존의 Verilog 또는 VHDL과 같은 하드와이어드 로직은 수작업으로 칩 설계를 해야 하므로 설계 검증 등 설계 시간이 보통 6~9개월 가량 소요되어 타임

넷 이펙트 마지드 아마드 킴란

가전 설계 시장에 맞춤형 된 FPGA의 가격



사실이다. 하지만 설계 변화의 요구사항을 수용할 수 있는 FPGA의 "유연성"은 타임 투 마켓 못지않게 중요하지만 그 장점이 덜 부각되고 있는 게 사실이다.

예컨대 표준화를 전개하는 과정에서 각 영역의 표준 단체들이 코덱 또는 인터페이스 기능을 넣어 변경이 용이하도록 한다면, FPGA 전용의 경쟁 진영인 ASIC에 비해 유리할 수 있다. 소위 Altera사의 co-ASIC 또는 co-ASSP 전략을 이용한다면 PCB 기반 조건을 바꿀 필요도 없기 때문이다.

FPGA는 또한 시장 다변화에 유리하여 수익의 약 65퍼센트를 소프트웨어 유연성으로 거둬들일 수 있다.

프로그램을 칩 제조업체들은 이러한 디자인 편의 장점을 부각하고, FPGA 비용이 고가라는 이미지를 벗어나기 위해 매우 분명한 비전을 제시하며 가파른 성장세를 보이는 "디지털 가전 시장"에서 새로운 도약을 꾀하고 있다.

최근 FPGA 업체들은 대부분 집적도와 성능에 초점을 두고 있다. 제품 설계 주

기가 짧고 높은 동작 성능을 요하는 가전시장에서 변화의 바람을 몰고 있다.

FPGA 시장을 추도하는 Xilinx, Altera사는 로엔드/고집적의 디바이스를 제공하고 있는 반면에 FPGA 시장 3, 4위를 차지하고 있는 Lattice Semiconductor, Actel사에서는 초저가형 프로그래머블 칩으로 Xilinx, Altera사를 추격하고 있다.

컨수머 및 오토모티브 애플리케이션은 FPGA 시장을 이끄는 강력한 추진력으로 떠오르고 있다. Gartner Dataquest 사에 따르면, FPGA 가전 시장은 2008년까지 11억 6,000만 달러 규모를 형성할 것이라고 한다. Lattice Semiconductor사에서도 저가형 FPGA 시장은 향후 몇 년간 전체 시장의 30퍼센트를 차지할 것이라고 한다.

FPGA 기반의 가전 플랫폼을 지지하는 FPGA 진영에서는 FPGA를 이용하면 기타 이산형 부품들을 이용할 필요가 없으므로 전체 시스템 비용을 낮추고 설계를 간편하게 만들 것이라고 주장하고 있다. Xilinx사가 최근에 발표한 Spartan 3E 시리즈는 마이크로프로세서, 마이크로컨트롤러 및 DSP 기능을 표준 제품 가격으로 구현할 수 있다.

Altera사의 Cyclone FPG는 PDP 및 LCD-TV에서 포터블 미디어 기기에 이르기까지 다양한 가전제품에 사용된다.

저가형 FPGA는 보다 작은 크기의 I/O 셀을 이용하여 구

동 전류를 낮출 수 있다. 따라서 고전류 레벨을 필요로 하는 다수의 I/O 인터페이스는 포함시키지 않았다.

치열해진 저가형 프로그래머블 칩 시장은 또한 "SRAM 대 플래시" 기반 디바이스에 대한 논쟁으로 확대되고 있다. 플래시 메모리 공정 변화로 다이 공간을 줄이고 제품 수율을 높여 가격을 크게 낮출 수 있다.

셀당 여섯 개의 트랜지스터를 갖춘 SRAM 기반의 FPGA 업체와는 달리, 플래시 기반 디바이스는 셀당 하나의 트랜지스터만 이용한다. 플래시 기반 FPGA는 보다 빠른 컨피규레이션을 제공하므로 파워가 커짐과 동시에 동작이 가능, 외부의 부트 메모리나 별도의 파워 소자가 필요 없다.

하지만 플래시 메모리 기술은 공정 노드에서 한 세대 뒤쳐져 있는 단점이 있다. 플로팅 게이트 특성상 보다 두꺼운 게이트 산화물을 이용하여 높은 전압의 프로그래밍을 요하기 때문이다.

가전용 FPGA의 비유상의 이점은 가시화 될 것으로 보인다. 특히 중국, 대만에서의 가전 OEM 및 보드 디자이너들이 성장하고 있는 현 상황을 고려해 볼 때, 아시아 디자인 엔지니어들에게는 분명 중요한 발전 임에 틀림없다. □