

Comeback for ASIC-teknologi



Mange virksomheder udelukker på forhånd ASICs, fordi de mener, at der er tale om en kostbar og vanskelig teknologi. Det er imidlertid ikke tilfældet, hævder den måske mest fremtrædende ASIC-specialist i verden, Naveed Sherwani, der er blandt stifterne af firmaet Open-Silicon. Læs side 8.

Nyt EMC-direktiv: Større frihed – under ansvar

Det nye EMC-direktiv, der træder endelig i kraft i midten af 2007, giver bl.a. systemudviklerne større frihedsgrader i forbindelse med de anvendte testprocedurer, der ligger til grund for CE-mærkningen. Til gengæld stiger kravene til testdokumentationen. Læs side 4.

En platform – flere applikationer

Ifølge Freescale Semiconductor må halvlederindustrien nu i langt højere grad end tidligere fokusere på platform- og modulatororienterede løsninger, men samtidig bliver udviklingsarbejdet langt mere komplekst, mener firmaets øverste chef Michel Mayer. Læs side 16.



Puster nyt liv i ASIC-markedet

Open-Silicon har et produktionsteknisk samarbejde med flere waferfoundries - herunder bl.a. TSMC, der er verdens klart største uafhængige waferfoundry.

Mange virksomheder udelukker på forhånd ASICs, fordi de helt fejlagtigt tror, at der er tale om en kostbar og vanskelig teknologi. Det er imidlertid ikke tilfældet, hævder den måske mest fremtrædende ASIC-specialist i verden, Naveed Sherwani, der er blandt stifterne af firmaet Open-Silicon, som vil bringe ASICs tilbage i frontlinien med en knivskarp fokusering på det anvendte designflow.

Af Lars Kristiansen, Electronics Summit, Monterey, Californien.

ASIC-teknologien har i de seneste år fået opbygget et temmelig dårligt image. Ikke så meget fordi, at hele grundideen med at kunne specificere og efterfølgende få produceret chip, der adresserer en specifik funktion i en given systemapplikation i sig selv fejler noget.

Det store problem ligger i, at ASIC-teknologien har fået status som en teoretisk besnærende teknologi, der imidlertid i praksis både er kostbar at implementere og forbundet med store risici i designprocessen, hvilket ofte gør det vanskeligt på forhånd at vurdere koststrukturen i det samlede udviklingsprojekt og præcis estimere tidsforbruget i designprocessen.

Den store fokusering på de kraftigt stigende udviklings- og maskeomkostninger i forbindelse med ASIC-designs i f.eks. de nyeste 90 nm teknologier betyder også, at langt de fleste nærmest på forhånd opgiver at tænke i ASIC-baner, og i stedet fokuse-

rer på ikke mindst den programmerbare FPGA-teknologi i forbindelse med udvikling af specialchips til en given kundespecifik applikation.

Er der i et sådant scenarium, hvor FPGA-leverandørerne også tilbyder at konvertere FPGA'er til f.eks. *strukturerede* ASICs i forbindelse med større volumenproduktioner, overhovedet plads til den 'klassiske' ASIC-teknologi ud over i de virkelig high-end applikationer og produkter, der fremstilles i meget store volumenstørrelser?

Kun i begrænset omfang i forhold til tidligere, kan man vist roligt konkludere er den 'offentlige' mening, hvilket også understøttes af mange brancheanalytikere, der bl.a. kan referere til, at antallet af påbegyndte ASIC-designs på verdensplan er faldet i de senere år.

Men ligger der også en anden sandhed? Kan der uden problemer også argumenteres for, at det aldrig har været mere attraktivt

at designe ASICs end nu, og at kostpriserne for en 'mainstream' ASIC med den rette tilgang i designflow'et fortsat ligger langt under andre former for implementeringer – også de strukturerede ASICs og selvfølgelig FPGA'er?

Ja – lyder det klare svar, hvis man spørger Naveed Sherwani, der er den øverste chef for firmaet Open-Silicon, der blev stiftet i 2003 med en klar målsætning om at få bragt ASIC-teknologien helt frem (eller måske snarere tilbage) i frontlinien med et forretningskoncept, der sigter på at punktere de efterhånden fasttømrede og sejlivede myter omkring ASIC-design.

Og dét med en foreløbig succes, der på det allerseneste har fået de første brancheanalytikere til at tale om, at Open-Silicon kan blive det firma, som revitaliserer ASIC-teknologien og åbner øjnene for, hvor

...FORTSÆTTES SIDE 10

store fordele ASICs kan tilbyde i forbindelse med designs, der bliver produceret i et vist volumen.

Førende ASIC-specialist

Troen på, at Open-Silicon har en stor fremtid foran sig, hænger også sammen med, at Naveed Sherwani af mange betragtes som den måske største ASIC-ekspert i hele den samlede chipindustri, med stor erfaring fra såvel industri- som forskningsmiljøer.

Naveed Sherwani er forfatter til flere lærebøger om bl.a. fysisk chipdesign, der bruges i alle universitetsmiljøer over hele verden. Hans CV omfatter også en årrække som freelance konsulent med speciale i ASIC designmetodologier med job hos en lang række af de største OEM'er indenfor chipdesign og telekommunikation. De seneste ni år før etableringen af Open-Silicon har Naveed Sherwani været beskæftiget hos Intel - herunder i en position som 'general manager' for Intel Microelectronics Services med fokus på bl.a. ASIC-forretningsudvikling. I Intel-tiden har han ligeledes været en af hovedkræfterne i forbindelse med udvikling af den ASIC-designmetodologi (kaldet Athena), der bruges i Intels microprocessor-udvikling.

Det var således en brancheperson med en indiskutabel *worldclass* teknisk kompetence, der i forbindelse med Electronics Summit konferencen i Monterey i Californien betradte talestolen for at fortælle om Open-Silicon's forretningskoncept. At det så samtidig viste sig, at Naveed Sherwani besidder en afvæbnede selvironi og en gnistrende humor, der i løbet af den ca. 40 minutter lange præsentation flere gange fik tilhørerne til at bryde ud i høj latter, gjorde bestemt ikke præsentationen mindre fængslende. Her var i sandhed tale om et af de yderst sjældne tilfælde, hvor høj teknologisk kompetence og et veludbygget *markedsføringsgen* er at finde i én og samme person.

En Formel 1 racer eller en Honda Accord?

Det store, overordnede imagemæssige problem for ASICs skyldes ifølge Naveed Sherwani, at man selv dybt inde i brancekredse blander de teknologiske udfordringer, der



- Når man diskuterer ASICs, så fokuseres der næsten udelukkende på de udfordringer, der ligger i forbindelse med ASIC-designs i 90 nm teknologier, hvor man taler om eksplosivt voksende maske- og NRE-omkostninger. Men man må ikke sammenligne udfordringerne ved at designe 90 nm ASIC med medium-komplekse ASICs, ligesom man heller ikke kan sammenligne udfordringerne ved at designe en Formel 1 racer med en Honda Accord, fastslår Naveed Sherwani.

ligger i forbindelse med design af ASICs i *bleeding-edge* processteknologier som 90 nm, sammen med udfordringer og koststrukturer, der relaterer til ASIC-design i teknologier, som udgør langt størstedelen af det samlede tilgængelige produktionskapacitet - nemlig 0,25 μ , 0,18 μ , 0,15 μ og til dels også 0,13 μ .

- Når man diskuterer ASICs, så fokuseres der næsten udelukkende på de udfordringer, der ligger i forbindelse med ASIC-designs i 90 nm teknologier, hvor man taler om eksplosivt voksende maske- og NRE-omkostninger, hvilket selvfølgelig også er rigtigt. Men samtidig skal man huske på, at den type ASIC-design er, hvad jeg vil betegne som *forskningsprojekter* og ikke almindelige ASIC-projekter, siger Naveed Sherwani, der mener, at det skaber stor forvirring i markedet, når man ukritisk går ind og sammenligner udfordringer i ASIC-design i de allernyeste og endnu ikke fuldt dokumenterede procesnodes med de vel-etablerede, som benyttes til processering af ASICs med en medium kompleksitet, hvor designkompleksiteten og prisstrukturen er en helt anden.

- Min tese er, at NRE-omkostninger eller maskeomkostninger pr. transistor *ikke* er stigende, som man hele tiden hører, men derimod konstant faldende igennem de seneste 15 år - hvilket er udvikling, der vel at mærke heller ikke bliver brudt i de kommende år, når de nuværende state-of-the-art teknologier bliver 'mainstream'. Når man taler om, at antallet af påbegyndte ASIC-designs har været vigende i de seneste år, så vil jeg ligeledes vove at påstå, at det

er sandhed med modifikationer. Det er selvfølgelig åbenlyst, at når man i forbindelse med udvikling af en ny generation af ASICs f.eks. tager fire eksisterende ASICs og integrerer disse i én kreds og akkumulerer den udvikling over samtlige ASIC-designs i den pågældende procesgeneration, så vil antallet af påbegyndte ASICs i teorien blive reduceret til en fjerdedel. Så i stedet for at tale om, at antallet af ASICs start-up måske er faldet en smule, så kan man med lige så god ret argumentere for, at antallet af designede ASIC-gates er kraftigt stigende, forklarer Naveed Sherwani, der bruger en analogi fra bilindustrien til at illustrere de markante forskelle, der er mellem de absolutte high-end implementeringer og så ASICs med medium kompleksitet.

- En bilfabrikant som Honda udvikler som bekendt både Formel 1 racerbiler og almindelige Honda Accord'er. Men selvom både Formel 1 raceren og Accord'en rent teknisk begge er at betragte som en *bil*, så har de reelt ingenting til fælles. Formel 1 raceren er ekstremt kompleks konstruktion, hvor der kræves 12 højt uddannede specialister for bare at få startet motoren, og udviklingen af nye modeller er at sammenligne med rene forskningsprojekter. Billedet er selvfølgelig et helt andet, når man taler en Honda Accord, som jeg i øvrigt selv har været den lykkelige ejer af i mere end 15 år. Honda vil selvfølgelig ikke kunne drømme om at sammenligne kompleksiteten af en Formel 1 racer med en Accord, og på samme måde må man forstå, at det heller ikke giver mening at tale om en ASIC som en *generisk* teknologi, fordi udfordringer i forbindelse med design af ASIC i den allernyeste proces-teknologi på ingen måde kan sammenlignes med ASIC-design i etablerede processer. Og hvis man skal bruge analogien til at beskrive vores strategi indenfor ASICs, så er det altså Accord'er og ikke Formel 1 racere, vi designer for vore kunder, understreger Naveed Sherwani.

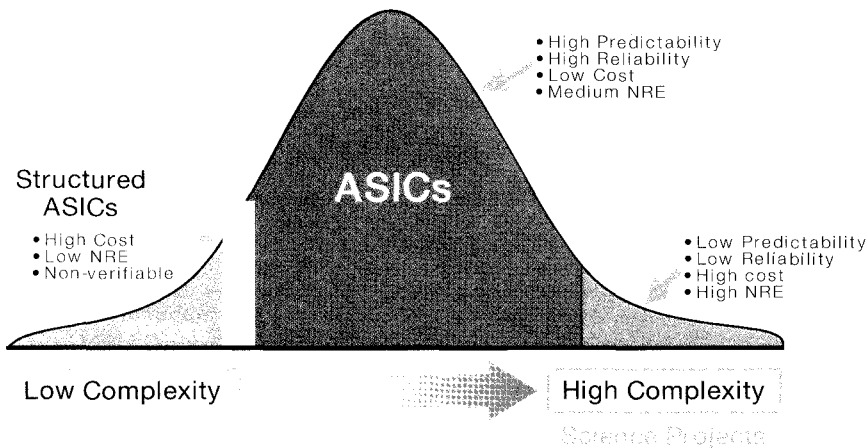
Strømlinet designflow

Naveed Sherwani påpeger, at det er vigtigt at slå fast, at ASICs så godt som altid vil være den mest kosteffektive løsning, når man taler løsninger af medium kompleksitet, der produceres i større volumenstørrelser (som illustreret på figur 1) - uanset, hvad andre måtte hævde.

- Det er rigtigt, at NRE-omkostningerne for en FPGA-baseret løsning er lave, men stykprisen er - og vil fortsat forblive med at være - markant højere end en ASIC. Fra FPGA-leverandørerne hører man nu, at det inden længe vil være muligt at tilbyde FPGA'er med omkring 1,5 mio gates til kostpris på 13 dollars i volumenkvantiteter. Open-Silicon vil kunne tilbyde en 'tilsvarende' ASIC-implementering til en kostpris på 4-5 dollars, så der er altså fortsat tale om

- og som Naveed Sherwani betegner som fastlåste og utidssvarende.

- Hvis man analyserer prisen på et typisk ASIC-design, så vil man opdage, at der typisk opereres med en kundekostpris pr. chip, der er 2,5 til 7 gange den reelle kostpris. Det er et tal, som selvfølgelig umiddelbart lyder chokerende stort, siger Naveed Sherwani, der dog understreger, at der faktisk er gode grunde til, at man må operere med så store overheads.



Figur 1. Open-Silicon sætter på ASICs med middel kompleksitet, der produceres i de mere moderne procesteknologier, som udgør langt den største del af det samlede marked. Her er de designmæssige udfordringer på ingen måde at sammenligne med dem, som ligger i forbindelse med ASICs med den højeste kompleksitet, der snarere har karakter af videnskabelige projekter.

en markant billigere løsning. Mit budskab er, at ASICs med medium kompleksitet aldrig har været mere *affordable* end det er tilfældet nu, og det grundlæggende forretningskoncept for Open-Silicon er at udnytte dette faktum og introducere et nyt designflow, der kan sænke kostpriserne yderligere og dermed gøre ASICs tilgængelige for en endnu bredere gruppe af virksomheder. For i modsætning til den holdning og opfattelse, som mange måske har, så kan det sagtens lade sig gøre at designe en ASIC, der på én gang har den lavest mulige kostpris indenfor rammerne af de aftalte tidsrum og med en 90 procent sikkerhed for, at kredsen fungerer som specificeret allerede i forbindelse med den første fysiske processering, påpeger Naveed Sherwani.

Ikke fuld dækning for NRE-omkostninger

For at kunne forstå, hvorfor Open-Silicon's koncept adskiller sig fra de gængse ASIC-designflow, er det vigtigt, at man som udgangspunkt analyserer de forretningskoncepter, som de etablerede ASIC-leverandører følger

Han anslår, at en ASIC-leverandør vil have NRE-omkostninger på 1,25 mio. dollars i forbindelse med et typisk ASIC-projekt. Der er altså tale om opstartsomkostninger, før der overhovedet er produceret én eneste chip i volumenkvantitet, hvilket selvfølgelig er en udgift, som kunden skal betale.

- Det store problem for ASIC-leverandørerne er, at det er umuligt at få kunderne til betale et så stort beløb up-front - ikke mindst fordi konkurrencen mellem de forskellige ASIC-leverandører om de enkelte projekter er meget hård. ASIC-leverandøren vil som udgangspunkt derfor typisk kun kræve omkring 600.000 dollars i NRE-omkostninger og må altså operere med et tab på 650.000 dollars på hvert påbegyndt design. De tab, som ASIC-leverandøreren lider, fordi vedkommende ikke får fuld betaling for NRE-udgifterne, må så selvfølgelig efterfølgende lægges på chipkostprisen i forbindelse med volumenproduktionen. Men her skal man huske på, at statistikken viser, at det faktisk kun er ét ud af fem ASIC-designs, der reelt også ender med at gå i volumenproduktion.

...FORTSÆTTES NÆSTE SIDE

Performance for SUCCESS

6U CompactPCI

Reliable products for your business

powered by Intel® Pentium® M

CP6000

- ▶ Intel® Pentium® M Processor up to 2.0 GHz
- ▶ Low power consumption
- ▶ High reliability with ECC storage
- ▶ Up to 4 GigEthernet ports (2x at the front, 2x for full PICMG 2.16)
- ▶ Up to 2GB PC333 SDRAM with ECC via 2x 200-pin SODIMM-sockets
- ▶ 64/66 PMC, onboard 2.5" HDD, CompactFlash

powered by Intel® Pentium® M

CP6011

- ▶ Intel® Pentium® M Processor up to 2.0 GHz
- ▶ Maximal I/O throughput with Intel® E7501 server chipset
- ▶ Dual Gigabit Ethernet plus one Fast Ethernet
- ▶ Dual PMC slots with up to 64-bit/133MHz PCI-X interface and PIM support
- ▶ PCI-X Universal bridge up to 133MHz
- ▶ 2GB PC160 SDRAM with ECC on 2x 200-Pin SODIMM-Socket

For mer information ring:

Tel.: (+45-) 45 76 10 16

Fax: (+45-) 45 76 10 17

eller gå till

www.kontron.com



kontron
... always a Jump ahead!

sales@kontron.com

If it's Embedded, it's Kontron.

FORTSAT FRA SIDE 11:

Det vil sige, at ASIC-leverandøren for hvert ASIC-design, der som planlagt går i volumenproduktion, har været involveret i fire ASIC-design, der *ikke* gør det. Resultatet er et samlet akkumuleret underskud på 2,6 mio. dollars, og det er der i princippet kun én til at betale, nemlig kunden til det femte og succesfulde ASIC-projekt, hvilket er baggrunden for de meget høje kostpriser pr. chip, som ASIC-leverandørerne med deres nuværende forretnings-setup er nødt til at arbejde med, påpeger Naveed Sherwani.

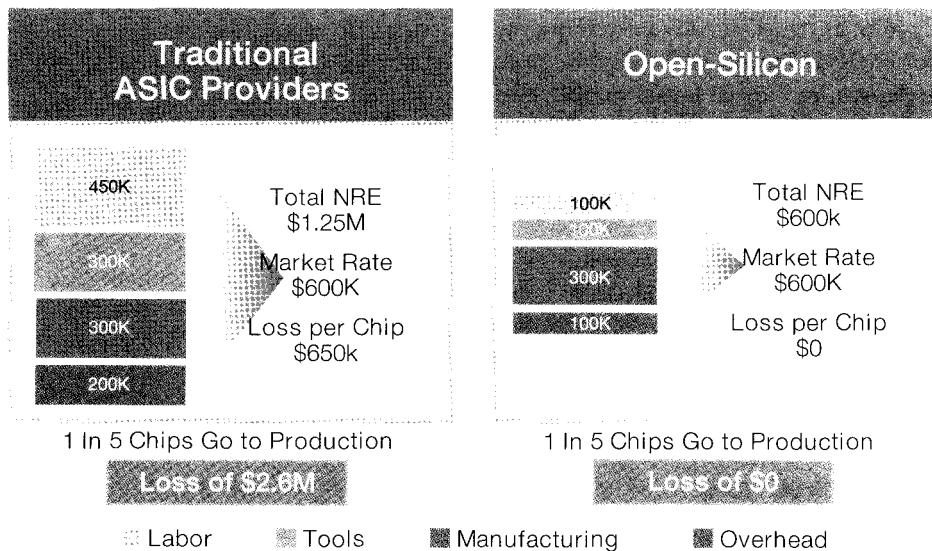
Anderledes tilgang til markedet

Det absolut bærende element i Open-Silicon er firmaets designflow, der gør det muligt at reducere NRE-omkostningerne, så man får en balance mellem det, som markedet vil (og kan) betale og så de reelle NRE-omkostninger.

- Det hele handler om at opbygge en designmodel, som sikrer, at hele designflow'et kan gennemføres på en systematiseret og standardiseret måde, og som kan bruges som udgangspunkt for ikke bare ét ASIC-design, men alle projekter. Gør man det, så er det også muligt at designe ASICs, der både har lav kostpris, høj pålidelighed og kan leveres indenfor de aftale tidsrammer. *OpenMODEL* kalder vi konceptet, hvilket bl.a. signalerer, at der er tale om et designflow, hvor kunderne har fuld visibilitet i forbindelse med valg af optioner og forskellige designsmæssige trade-offs og frit kan vælge, hvilket format de ønsker at aflevere designet i. Den typiske indgang vil være, at kunden afleverer sit design i form af en RTL-beskrivelse eller netliste, hvorefter vi tager det fulde ansvar for hele den videre proces frem til og med indkapsling og test. Dermed kan kunden koncentrere sig om systemdefinition og behøver dermed ikke længere at have nogen in-house ekspertise indenfor fysisk chipimplementering, siger Naveed Sherwani.

Bygger designfabrik

Ifølge Naveed Sherwani er det lykkedes at opbygge et designflow, der baner vejen for at halvere NRE-omkostningerne i sammenligning med den traditionelle ASIC-kost-



Ved en knivskarp fokusering på de anvendte designkoncepter er det lykkedes at reducere NRE-omkostningerne markant i sammenligning med traditionelle ASIC-leverandører. Sidstnævnte står i det dilemma, at de som udgangspunkt ikke kan få kunderne til at dække de reelle NRE-omkostninger, hvilket betyder, at disse skal hentes hjem i forbindelse med selve chipproduktionen. Statistisk er det imidlertid kun én ud af fem ASIC-designs, der reelt også ender med at gå i volumenproduktion. Det vil sige, at ASIC-leverandøren for hvert ASIC-design, der som planlagt går i volumenproduktion, har været involveret i fire ASIC-design med et samlet akkumuleret underskud, som i eksemplet her ligger på 2,6 mio. dollars, og det er der i princippet kun én til at betale, nemlig det femte og succesfulde ASIC-projekt, hvilket er baggrunden for de meget høje kostpriser pr. chip. fremhæver Open-Silicon, der har ikke har det samme problem, fordi der er balance mellem de reelle udgifter og markedsprisen.

struktur. Dermed står Open-Silicon i den gunstige position, at firmaet som udgangspunkt ikke skal ud og hente et NRE-tab i forbindelse med den løbende chipproduktion, og samtidig heller ikke er tvunget til at 'blende' økonomien fra forskellige ASICs for at få den samlede økonomi til at hænge sammen.

Et projekt, som af den ene eller anden grund ikke som planlagt går i volumenproduktion, vil under alle omstændigheder altid hvile i sig selv, hvilket giver et helt anderledes sundt udgangspunkt og selvfølgelig samtidig åbner mulighed for at tilbyde kunderne en prisstruktur, der er betydelig mere gunstig end tidligere set på ASIC-markedet.

Naveed Sherwani understreger, at reduktionen i NRE-koststrukturen ikke er resultatet af revolutionerende nytænkning i forbindelse med designflowet, men en målrettet fokusering på at udnytte både de menneskelige resurser og designværktøjer på den mest optimale måde.

- Hjørnestenen i vort designkoncept er vores såkaldte *designfab*, der ligger i Bangalore i Indien, hvor der på nuværende tidspunkt er beskæftiget 50 medarbejdere, som kan arbejde med otte ASIC-projekter i en parallel proces. For at opnå den maksimale effektivitet og den maksimale udnyttelse af de tilgængelige designværktøjer er designgrup-

pen inddelt i en række meget specialiserede teams, som på tværs af de enkelte projekter udelukkende beskæftiger sig med en nøje defineret opgave i designflowet. På den måde opbygger den enkelte medarbejder en høj kompetence på et snævert område, hvilket er den klart mest effektive måde at arbejde på. Det er samtidig den eneste måde, hvorpå man kan sikre den maksimale udnyttelse af designværktøjerne. I mange projektorganisationer, hvor man arbejder mere tværfagligt i designprocessen, ser man ofte, at værktøjerne står ubenyttet hen i over 70 procent af tiden, hvilket jo langt fra er optimalt, fremhæver Naveed Sherwani.

En anden vigtig faktor - der også relaterer til den samlede koststruktur - men i måske endnu højere grad adresserer design- og leveringsikkerheden, er Open-Silicons IP-strategi.

- Vi skal være helt sikre på, at de IP-blokke, som kunderne bruger i projekterne, er fuldt dokumenterede, og derfor har vi på vegne af kunderne udvalgt et bibliotek af IP-funktioner fra anerkendte leverandører. Det betyder, at vore kunder ikke har den fuldstændige frihed, når det gælder valg af IP-funktioner, men til gengæld kan vi garantere, at de IP-funktioner, som indgår i vores bibliotek har en høj og dokumenteret kvalitet, siger Naveed Sherwani.