

## Neue Herausforderungen beim Design von Systems-on-a-Chip

# Was tut sich bei den SoCs?

Seit Jahren lesen wir ständig von SoCs (Systems-on-a-Chip), aber ist ein SoC immer noch das, was es einmal vor fünf Jahren war? Der Markt für SoCs ist reifer geworden und wird auch für die Industrie-Kunden zunehmend interessanter, teilweise sogar notwendig. Dennoch ist die Entwicklung eines SoCs kein Kinderspiel und beim Design sind noch einige Fragen offen. *elektronik industrie* hat sich bei führenden Unternehmen der Branche erkundigt, wo die Reise hingeht.

Nach Ansicht von Jack Harding, Chairman, President und CEO von eSilicon, wird der Begriff „SoC“ oft missverstanden: „Es ist kein reines Design-Problem, sondern eine Kombination aus Design- und Fertigungs-Problem, wobei diese beiden Vorgänge parallel betrachtet werden müssen. Wir bei eSilicon sehen das Intervall von der Architektur über die Synthese bis zur Netzliste als einen Prozess. Das nächste relevante Intervall reicht dann von der Synthese bzw. der Netzliste bis zum Prototypen, während das dritte Intervall vom Prototypen bis zum End-of-Life dauert.“

Wenn das Design-Team die Fertigungs-Risiken nicht ausreichend berücksichtigt, dann hat es keine Chance, ein ASIC oder ein SoC rechtzeitig mit der geforderten Spe-

zifikation in ein nutzbares Produkt um zu setzen.“

### Multiprozessor-Systeme

Wie bereits in den letzten Ausgaben der *elektronik industrie* immer wieder erläutert, geht der Design-Trend immer mehr vom Einprozessor- hin zum Multi-Prozessor-Design. Selbst die PC-Prozessor-Boliden Intel und AMD kämpfen jetzt nicht mehr in erster Linie an der GHz-Front, sondern sie versuchen, mehrere Cores auf einen Chip zu packen. „Die neuen SoCs werden heterogene Multi-Prozessor-Umgebungen sein“, konstatiert denn auch Carl Schlachte, CEO von ARC International.

Tensilica hat festgestellt, dass der durchschnittliche Kunde heutzutage mehr als 6 Prozessor-Cores nutzt, die in einer typischen 0,13-µm-Technologie gefertigt wurden. „Wir haben auch Kunden, die setzen 188 Prozessor-Cores auf einem Chip ein

und bald gibt es SoCs mit Kilo-Prozessoren, also mit Tausend Prozessoren auf einem Chip – mit 90 bzw. 65 nm wird das ganz schnell kommen“, prophezeit Steve Roddy, Vice President Marketing bei Tensilica. „Die EDA-Unternehmen müssen die Kunden



**Steve Roddy, Tensilica:** „Viele Prozessoren in einem System sind nicht nur Embedded, sondern Deeply Embedded. Es gibt da oft einen Steuerungs-Prozessor, der als Schnittstelle zur Steuerung des gesamten Bauelements dient, so dass für die Außenwelt nur ein Core sichtbar ist.“

bei ihren Entscheidungen unterstützen, wie viele Prozessoren, Medien-Beschleuniger etc. sie einsetzen sollen und welche Typen sie dabei verwenden.“

### Logik-Einzelemente

In punkto Prozessoren, Medien-Beschleuniger etc. setzt Tensilica nach Angaben ►

**AUTOR**



Alfred Vollmer,  
Redaktion  
*elektronik industrie*

von Steve Roddy auf hochgradig konfigurierbare Logik-Blöcke, die sich automatisiert schnell in ein Design integrieren lassen und „post-silicon-programmierbar“ sind, so dass die eigentliche Programmierung somit erst erfolgt, wenn der fertige Chip schon vorliegt – ein Vorgang, der ansatzweise mit FPGAs vergleichbar ist. „Der Trend zur Nutzung solcher Elemente zeichnet sich nicht nur bei SoCs und ASICs ab, sondern auch bei Standard-Chips, die von ganz großen Halbleiterherstellern gefertigt werden“, erklärt Steve Roddy. „Man denke dabei auch an den Cell-Processor, den IBM, Sony und Toshiba gemeinsam vorgestellt haben, denn das ist ein gutes Beispiel für die hochgradig spezialisierten Rechenmaschinen, die für eine vorgegebene Ziel-Anwendung entwickelt wurden.“

### Standard-IP

Kunden, die ein SoC entwickeln wollen, stehen stets vor der Frage, auf welche IP (Intellectual Property, geistiges Eigentum; hier: funktionale Sub-Elemente) sie setzen sollen – und diese Frage fängt schon beim ganz zentralen Element, dem Prozessor an. „Wir leben in einer Welt, in der es mehr und mehr Software gibt; deshalb brauchen wir Standardisierungen“, kommentiert Tom Petersen, Director Product Marketing bei MIPS Technologies. „Wir glauben, dass diese Standards ARM und MIPS heißen werden.“

Carl Schlachte von ARC ist da ganz anderer Meinung: „Ich glaube nicht, dass die Welt rund um eine Umgebung konfigu-



**Jack Harding, eSilicon:** „Wenn das Design-Team die Fertigungs-Risiken nicht ausreichend berücksichtigt, dann hat es keine Chance, ein ASIC oder ein SoC rechtzeitig mit der geforderten Spezifikation in ein nutzbares Produkt um zu setzen.“

**Carl Schlachte, ARC:** „Die größte Herausforderung besteht darin, alle Einzel-Elemente richtig auf den Chip zu bekommen – und zwar so, dass sie ordentlich zusammen arbeiten.“



**Tom Petersen, MIPS:** „Die wahre Herausforderung liegt in der Software sowie in der Software-Wiederverwendung und der Software-Infrastruktur.“

**Dave Kelf, Novas:** „In Multiprozessor-Systemen sind einzelne Software-Blöcke bei der Ausführung auf mehrere Prozessoren verteilt. Daher verändert sich der Ansatz auch auf der EDA-Seite.“



riert wird, die für alle Anwendungen passen soll. Viele Unternehmen im Consumer-Bereich wollen das nicht mehr.“ Daher bietet ARC vollständig individuell konfigurierbare Prozessoren an (siehe **Kasten**).

„Viele Prozessoren in einem System sind nicht nur Embedded, sondern Deeply Embedded“, gibt Steve Roddy (Tensilica) zu bedenken. „Es gibt da oft einen Steuerungs-Prozessor, der als Schnittstelle zur Steuerung des gesamten Bauelements dient, so dass für die Außenwelt nur ein Core sichtbar ist.“

### Problem: Verifikation

„Im Prinzip ist unser Hauptproblem in allen Bereichen die Verifikation, denn dabei müssen wir kontrollieren, ob alle Elemente auch ordentlich zusammen arbeiten“, bringt ARCs CEO Carl Schlachte (ARC) das Problem auf den Punkt. „Wie klappen in Multiprozessor-Designs die Bus-Zugriffe? Haben wir die richtigen Software-APIs, um das Multiprozessor-Design überhaupt zu steuern? Und das sind nur einige der fundamentalen Fragen.“ Dave Kelf, VP Marketing bei Novas, sieht große Veränderungen auf uns zukommen. „Die Verifikation wird sich sicherlich stark verändern. Beim Design der Chips wird man die Verifikation stets im Hinterkopf behalten müssen.“ Folgt man den Erläuterungen der Marketing-Manager, dann gewinnt man den Eindruck, dass ein SoC ganz leicht nach dem Baukasten-Prinzip realisierbar ist, wenn man sich nur richtig auf der Plug&Play-



## DER PROZESSOR IM BAUKASTEN-PRINZIP

Die IP-Schmiede ARC bietet jetzt die Möglichkeit, den Prozessor ganz nach Kundenwunsch zusammen zu bauen. So können die Entwickler wählen, ob sie eine Harvard- oder eine von-Neumann-Architektur, ob sie viele oder wenige Register und ob sie kundenspezifische Befehle oder diverse andere Optionen haben möchten. „Und was noch wichtiger ist“, erläutert Carl Schlachte, CEO von ARC (der vierte CEO des sechs Jahre alten Unternehmens): „Die Logik kann so konfiguriert werden, dass die teuren Speicher-

Flächen nur die minimale Größe aufweisen. Daher hat jeder Kunde ein SoC, das exakt so – und nur so – ist, wie er es braucht. Auf diese Art und Weise erzielt er die niedrigstmöglichen Silizium-Kosten.“ Jeder Core wird vom Prinzip her von Grund auf neu konstruiert. Die Konfigurations-Software erledigt dies entsprechend den erforderlichen Parametern und sie berücksichtigt dabei auch sämtliche kundenspezifischen Befehle. „Daher ist jedes Design einzigartig und kann nicht kopiert werden“, erklärt Carl Schlachte. „Das Ent-

wicklungs-Team hält die „Eigentums-Rechte“ des an die Kundenbedürfnisse angepassten Cores. Niemand kann ihn als Standard-Produkt kaufen, um das Produkt zu kopieren. Die Konfigurierbarkeit stellt daher eine maximal mögliche Produkt-Differenzierung sicher.“ Zwar liefern derzeit nur 20 von ARCs Lizenznehmern Produkte aus, aber einer davon ist SanDisk. Das Unternehmen setzt die ARC-Cores in ihren USB-Sticks des Typs Cruiser ein.

(av)

## KOMPAKT

Im Zeitalter der Multiprozessor-Systeme verändert sich auch die Design-Methodik von SoCs. Dabei kommt den Design-Tools und somit den EDA-Firmen eine ganz zentrale Rolle zu, denn das Mapping und vor allem die Verifikation scheinen sich zum Hauptproblem beim Design komplexer SoCs zu entwickeln.

Spielwiese tummelt. Aber so leicht ist es nun wirklich nicht. „Die größte Herausforderung besteht darin, alle Einzel-Elemente richtig auf den Chip zu bekommen – und zwar so, dass sie ordentlich zusammen arbeiten“, so Carl Schlachte von ARC.

### EDA für Multiprozessor-Systeme

„Wir müssen auch den gesamten Entwicklungs-Prozess inklusive Verifikation entscheidend verändern“, bemerkt Dave Kelf von Novas. „Es wird in immer stärkerem Umfang auf feste Harvard-Architekturen zurück gegriffen, während die gesamte Funktionalität per Software eingestellt wird. Eine der wichtigsten Fragen, die wir uns stellen müssen, lautet: ‘Wie entwickeln wir die ersten Tausend Prozessoren?’“

Kelf konstatiert, dass Software-, Hardware- und Verifikations-Teams derzeit nur ziemlich schlecht miteinander verbunden sind – ein Vorgang, der sich mit Multiprozessor-Systemen entscheidend ändern muss. Kelf weiter: „In Multiprozessor-Systemen sind einzelne Software-Blocks bei der Ausführung auf mehrere Prozessoren verteilt. Daher verändert sich der Ansatz auch auf der EDA-Seite. Statt separaten Hardware-, Software- und Verifikations-Teams geht der Trend hin zum integrierten Entwicklungs-Team, bei dem die Software- und die System-Ingenieure bestimmen,

wo es lang geht, während die Hardware-Experten sich vor allem auf die IP konzentrieren.“

Folglich müssen sich natürlich auch die EDA-Tools auf diese Auslagerung der ursprünglich per Hardware realisierten Funktionalitäten in die Software einstellen. „Eine Herausforderung ist dabei das Mapping einzelner Software-Blocks auf mehrere Prozessoren“, so Kelf.

### Das Mapping-Problem

Die zunehmende Verlagerung von Funktionalitäten scheint mittlerweile auch beim Endkunden (Consumer) angekommen zu sein: „In den digitalen Consumer-Geräten der nächsten Generation werden erstmals Software-Abstraktionen für den Endkunden sichtbar sein“, berichtet Tom Petersen (MIPS). „Ein Beispiel dafür ist eine Java Virtual Machine, die auf einem digitalen Fernseher läuft. Die Qualität des Prozessors, in diesem Falle ein MIPS32, wird die Qualität des Anwender-Erlebnisses bestimmen. Es geht also nicht nur darum, die Chips schnell zu entwickeln, sondern auch darum, die Software-Plattform zu wahren, die in Zukunft dominieren wird.“

Für Peterson stellen in vielen Fällen das Mapping sowie das Aufteilen der Anwendung in mehrere Threads bzw. auf mehrere Prozessoren einen besonders kritischen Punkt dar: „Das Problem bei SoCs liegt nicht mehr in der Mechanik, wie man ein SoC entwickelt, sondern vielmehr im Applikations-Mapping für einen Multi-Threaded-Multi-Prozessor mit symmetrischen Rechen-Elementen. Die wahre Herausforderung liegt in der Software sowie in der Software-Wiederverwendung und der Software-Infrastruktur.“

### „EDA-Steuern“

Somit kommt der EDA eine immer zentralere Bedeutung zu. „Wir sind alle auf der gleichen Seite wie der Kunde – mit Ausnahme der EDA-Unternehmen“, gibt Jack Harding von eSilicon zu bedenken. „Wir wollen, dass die Lizenz-Zahlungen möglichst rasch fließen und somit, dass die Chips schnell verkauft werden. Die EDA-Firmen haben da einen ganz anderen Ansatz.“ Um nun schneller Lizenz-Gebühren kassieren zu können, sind die IP-Unternehmen alle daran interessiert, die TTR (Time to Royalty, Zeit bis zur Zahlung der Lizenz-Gebühren pro verkauftem Chip) so kurz wie möglich zu halten.

Die EDA-Firmen scheinen somit einer ziemlich guten Zukunft entgegen zu blicken. „Wir wollen ja gar nicht im eigentlichen EDA-Business tätig sein“, bekennt Carl Schlachte von ARC, „und wir sind ja gute Elektronik-Staatsbürger, denn wir zahlen unsere EDA-Steuern an die EDA-Firmen.“



## KONTAKT

<b>ARC</b> www.arc.com	Kennziffer 305
<b>eSilicon</b> www.esilicon.com	Kennziffer 306
<b>MIPS</b> www.mips.com	Kennziffer 307
<b>Novas</b> www.novas.com	Kennziffer 308
<b>Tensilica</b> www.tensilica.com	Kennziffer 309