

Analog og Digital Radio Test Set

Aeroflex 3900 serien er en robust bærbar digital radio test platform, der i en enhed omfatter RF-receiver, signalgenerator og en række analoge målefaciliteter. Software optioner ekspanderer måle- og signalfaciliteterne for avanceret digital modulation og protokoller. Model 3901 supporterer sende/modtage analyse op til 1 GHz. Model 3902 dækker området op til 2.7 GHz. Digital PMR-system option for TETRA-terminal og base station test, standard high performance analog duplex test, RF-power meter fra 100 mW til 125 W, Sinad, distortion og modulationsmeter. Et 640 x 480 punkters farvedisplay udgør et effektivt brugerinterface til visning af constellation, polar og vektor analyse display, remote kontrol via GPIB, software opgrader via Ethernet og USB. Uanset om applikationen er udvikling af radiotesystemer, produktionstest eller servicesupport opfylder Aeroflex serie 3900 alle behovene og er forberedt for fremtidige opgraderinger til nye standarder. Platformen er designet for mobil kommunikation test, hvor der er optimale krav til udstyret. Instruments, tlf. 75 64 65 00, www.instruments.dk

Telecom joint venture mellem MontaVista og Enea

Markedets hidtil mest omfattende og højt integrerede softwareplatform til udvikling af distribuerede telecom applikationer lanceres nu i fællesskab af californiske MontaVista (www.mvista.com) og svenske Enea (www.enea.com). De to firmaer har indgået et samarbejde i et joint venture og udviklet en fejltolerant platform med høj tilgængelighed, kaldet Network Application Services Platform (NASP). Denne telecom-in-a-box løsning er beregnet til at udvikle, implementere og administrere distribuerede telecom applikationer, og den spænder over flere operativsystemer, mikroprocessorer, digitale signalprocessorer, interconnectforbindelser og standardarkitekturekter. NASP-platformen kombinerer MontaVista's Linux produkter (Carrier Grade Edition eller Professional Edition) med Enea's højt tilgængelige Element middleware, fejltolerante Polyhedra database og Eclipse-baserede udviklingsværktøjer. Platformen kan også leveres med Enea's OSE og OSEck realtids operativsystemer til telecom infrastrukturer, der kræver en heterogen operativsystemløsning. NASP-platformen anvender Enea's nye LINUX IPC (interprocess communications) open source egenskaber, som forbedrer realtids kontrollen og giver transparent kommunikation mellem platformens komponenter og applikationer på tværs af flere operativsystemer og CPU/DSP-grænser.

UDVIKLING/SOFTWARE

EDA-firma halverer IC-designtiden

Unikt EDA-værktøj fra californisk opstarts firma uddrager, analyserer og optimerer alle effekter på chippen på samme tid, så det bliver meget hurtigere at implementere et chipdesign i dagens nanometerteknologier

at det i dag koster i omegnen af 50 millioner dollar at designe en kompleks chip i 65 nm CMOS-teknologi. En af de største hurdle ved design af nanometer chips i 90 nm teknologi og derunder er at få færdiggjort layoutet og den fysiske implementering af designet, så det kan godkendes til produktion. Designets kompleksitet kombineret med fysiske effekter som signalintegritet, timing, effektforbrug etc. har bevirket, at designerne bruger betydeligt mere tid på at nå frem til det såkaldte sign-off stadium, hvor designet kan frigives til produktion. Ekspert i industrien estimerer, at for hver ny halvlederproces (for eksempel fra 130 nm til 90 nm) fordobles tiden, der bruges til back-end IC-designet, og udviklingsomkostningerne tredobles.

Chipdesignerne skal analysere og optimere en lang række parametre for at få et komplekst IC-design i dagens nanometerteknologier til at fungere tilfredsstillende. Denne optimeringsproces foregår i dag i vid udstrækning manuelt, hvor designerne analyserer og optimerer hver parameter for sig i serie efter hinanden. Det medfører, at de må foretage mange analyser og korrektioner af designet og hver gang verificere designet på ny. Denne proces er meget tidskrævende, og kræver megen computerkraft, fordi der er mange data involveret. Den er en væsentlig årsag til, at mange nye chipdesigns i nanometerteknologi tager længere tid end forventet, og det færdige produkt kommer senere på markedet end planlagt. Løsningen på denne problematik kunne være nye designværktøjer, som automatiserer analyserne og optimeringerne i back-end designet.

En sådan automatiseret løsning lanceres nu af det californiske opstarts firma Athena Design Systems (www.athenadesign.com), der er etableret af tidligere Cadence folk. Firmaet har gennem de seneste to år udviklet et unikt hjælpeværktøj til routing af komplekse chipdesigns. Værktøjet uddrager, analyserer og optimerer alle effekter på chippen på samme tid, og eliminerer de mange iterationer fra den manuelle metode. Desuden opdeles designet, så der kan arbejdes på specifikke blokke, uden at hele chippen skal rippes op og redesignes.

Disse egenskaber sparer megen tid sammenlignet med traditionelle metoder. Vort nye værktøj reducerer udviklingsomkostningerne



Den nye teknologi fra Athena blev præsenteret af fra venstre John Murphy, Jim Hogan og Dimitris Fotakis

og giver højere yield, og chipdesignet kan færdiggøres på den halve tid, fortalte Athenas CEO, John Murphy, på et topmøde for den globale elektronikfagpresse i Monterey, Californien, USA primo marts.

Sparer kostbar designertid

Løsningen fra Athena Design er baseret på firmaets intelligente optimeringsalgoritmer, embedded analyse og uddragningsmaskiner, samt patenterede teknologier der gør det muligt at opdele designet i mindre enheder og køre det på en klynge af Linux-baserede computerplatforme. Den underliggende systemarkitektur inkluderer også en infrastruktur, som transparent håndterer alle optimeringsopgaver. Det nye værktøj er kompatibelt med eksisterende designværktøjer og røttere fra førende leverandører af EDA-værktøjer.

Athenas algoritmer optimerer flere variable på samme tid, herunder lækstrømme, signalintegritet, elektromigrering og yield. Systemet er inkrementalt,

så mange områder på chippen kan optimeres samtidigt, og dele af designet kan modificeres uafhængigt af hinanden uden at redesigne hele chippen. Denne opdeling gør det også muligt at foretage sene tekniske ændringer og bibeholde så meget som muligt af den oprindelige implementering.

Håndteringen af analyser og designændringer er blevet betydeligt flaskehalse i udviklingsprocessen, hovedsageligt fordi designerne traditionelt skal køre hele designet om og om igen, og hver kørsel tager typisk mere end en dag på grund af de lange eksekveringstider. Det medfører alt for meget spild af kostbar designertid. Derfor er der behov for at automatisere den kritiske layoutfase, og det er netop, hvad vort nye værktøj kan tilbyde, påpegede Athenas president og grundlægger, Dimitris Fotakis.

Kendt kapacitet i bestyrelsen

Athenas optimeringssystem arbejder med så tilpas stor hastighed, at designerne nu kan fokusere på deres pri-

mære job og ikke spille tid på lange verificeringskørsler. Det opnås ved brug af et distribueret CPU-system, som består af en klynge af Linux computere. EDA-værktøjet sikrer, at de enkelte job er små nok til, at de kan eksekveres hurtigt på maskiner med begrænset hukommelse. Det reducerer maskinomkostningerne i computerfarmen og gør det nemmere at benytte de enkelte maskiner til forskellige job. Systemet sørger for, at de enkelte job kører uafhængigt af hinanden, uden behov for at kommunikere indbyrdes eller dele data som kan sløve systemet. Athenas løsning anvendes en hovedcomputer til kontrol af eksekveringen og indsamlingen af outputdata fra de enkelte maskiner i computerfarmen. Firmaets algoritmer opdeler chipdesignet i passende portioner, som tilpasses hver opgave, der skal eksekveres. Algoritmerne tager også hensyn til de indbyrdes afhængigheder mellem de enkelte opdelinger i designet, så de enkelte job kan køre uafhængigt af hinanden.

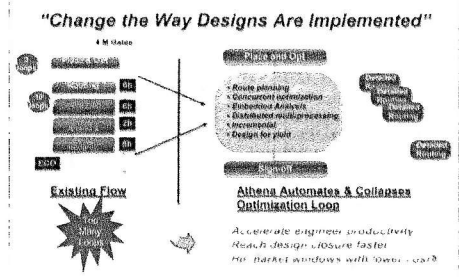
Med værktøjet fra Athena får chipdesignerne for første gang mulighed for at anvende et system, der på samme tid analyserer og optimerer designet i en parallel operation. Det vil ændre måden, hvorpå et chipdesign implementeres, og er også en nødvendig udvikling for at kunne designe komplekse chips i dagens nanometerteknologi, sagde Jim Hogan, der i mange år har været en drivende kraft i den californiske EDA-industri og nu nyligt er indtrådt i Athenas bestyrelse som aktivt medlem.

Af Jørgen Sarvit-Larsen (Monterey, Californien)

Design af integrerede kredse bliver stadig vanskeligere og mere kostbar, efterhånden som halvleder geometrien bliver mindre. Fagfolk i halvlederindustrien anslår,



Vort nye værktøj reducerer udviklingsomkostningerne og giver højere yield, og chipdesignet kan færdiggøres på den halve tid, fortalte John Murphy



Athenas metode sparer mange iterationer sammenlignet med eksisterende metoder til implementering af et chipdesign