

EDA-løsning forbedrer yield i nanometer teknologi

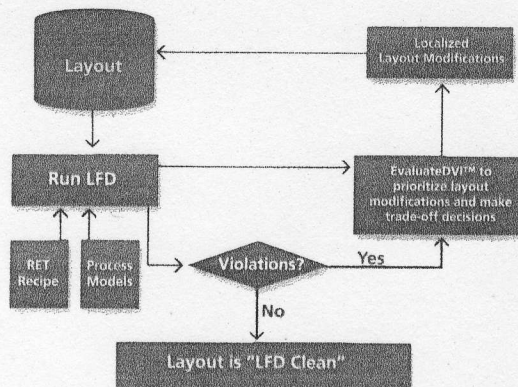
Nyt Calibre designværktøj fra Mentor Graphics giver chipdesignerne mulighed for på forhånd at kontrollere, hvor robust et design er over for variationer i halvlederprocessen, så der kan opnås et bedre yield i nanometer teknologierne

metoder. Med disse metoder kan designerne analysere nanometer effekterne, inden chippen implementeres i silicium, så der kan opnås et bedre resultat under produktionen af chippen.

For at chipdesignerne effektivt kan anvende en DFM-metode, skal den imidlertid indeholde detaljer om, hvordan et givent design produceres i en given halvlederproces. Designeren skal altså have information fra foundrien om den pågældende proces. Det kræver et værktøj, som på alle designtrin kan vise designeren, i hvilket procesvindue eller procesvariationsområde der kan opnås et godt resultat. Metoden er en avanceret DFM-teknik, der kaldes litho-friendly design (LFD), og den

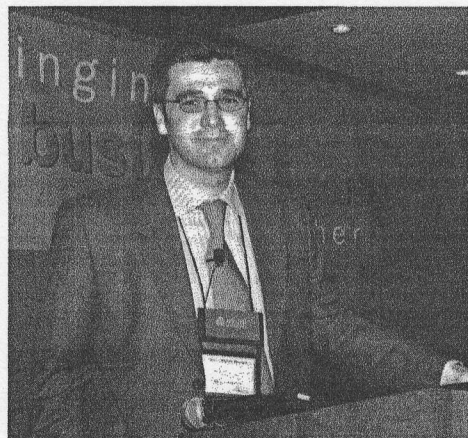
I nanometer teknologier kan over 80 procent af yield problemerne henføres til litografien. Disse fejl kan fanges med Calibre LFD før layout, og mange af vores kunder bruger allerede det ny værktøj, som er meget stabilt, fortalte Mentor's markedsudviklingschef, Jean-Marie Brunet, på en topkonference for den globale elektronikfagpresse i Monterey, Californien, USA primo marts, hvor Calibre LFD blev forhåndspræsenteret inden lanceringen på DATE.

Litografvenlig design
Den primære årsag til yield problemer i nanometer teknologierne er, at man stadig anvender stepper udstyr med en lysbølgelængde på 193 nm til eksponering af mønstrene



Adding "LFD-Clean" Step to the Design Creation Flow

Designflowet i Calibre LFD værktøjet



- I nanometer teknologier kan over 80 procent af yield problemerne henføres til litografien, og disse fejl kan nu fanges med Calibre LFD før layout, fortalte Jean-Marie Brunet

fra fab'en, nogenlunde på samme måde som DRC (design rule check) reglerne leveres. Kittet inkluderer eksponeringsdata til masken, RET information, procesmodeller og parameterbaserede regler, som kan kontrolleres. Designeren kan køre simuleringer for at se, hvordan et layout vil fungere med et givent litografisk procesvindue, inden chippen implementeres i silicium.

Formålet er at opnå et både DRC-ent og et LFD-ent design, da litografiproblemer som indsnævring og kortslutninger samt afbrydelser af lederbanerne ikke kan detekteres med DRC-kontrollen alene, forklarede Jean-Marie Brunet.

Stor betydning for et godt yield

Calibre LFD angiver ikke direkte, hvor nøjagtigt et yield der kan opnås, men værktøjet beregner et såkaldt DVI (design variability index) indeks som et mål for, hvor robust designet er over for variationer i halvlederprocessen. Jo lavere DVI-værdien er, desto mere robust er designet, og denne værdi kan bruges til at sammenligne forskellige implementeringer af layoutet, så designeren kan vælge det, der er mindst følsomt over for procesvariationer.

Calibre LFD er baseret på Mentor's Calibre design-to-silicon platform, og kan nemt integreres i populære layoutmiljøer

via Calibre Interactive værktøjet. Calibre LFD sættes ind i et designflow som et iterativt designtrin, og anvender samme layout editor som bruges til det oprindelige design. Og til kontrol af resultaterne kan chipdesignerne anvende en layout viewer/editor som Calibre RVE eller Calibre DesignRev.

Anvendelsen af information om variationerne i halvlederprocessen for at forbedre chiplayoutets robusthed er et betydeligt nyt fremskridt inden for DFM metoderne, og teknikken kan have stor betydning for, hvor godt et yield man kan opnå i nanometer teknologierne, påpegede Jean-Marie Brunet.

Af Jørgen Sarlvit-Larsen (Monterey, Californien)

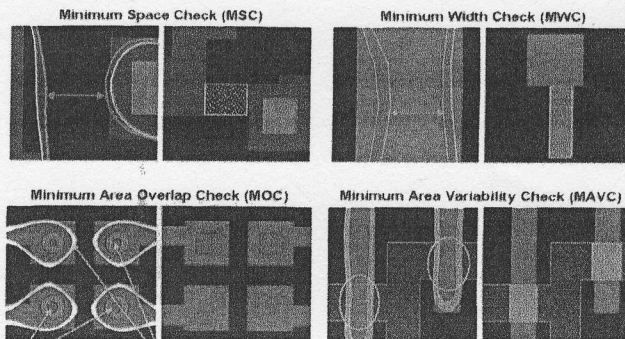
Produktion af integrerede kredse i nanometer teknologi giver mange udfordringer, og en af de væsentligste er at opnå et acceptabelt yield. Det vil sige, at de fleste chips på en wafer skal være uden defekter og fungere tilfredsstillende. Som tommelfingerregel skal omkring 90 procent af alle chips på en wafer være brugbare for at give et acceptabelt yield. Et sådant yield bliver stadig vanskeligere at opnå, når halvleder geometrierne formindskes, og der anvendes proces-teknologier på 90 nm og derunder. Det er grunden til, at chipdesignere, foundries og leverandører af EDA (elektronisk design automation) værktøjer anvender de såkaldte design-for-manufacturing (DFM)

giver designeren mulighed for at lave et mere robust layout af chippen baseret på de variationer, der forekommer i halvlederprocessen.

Den amerikanske EDAløserandør, Mentor Graphics (www.mentor.com), er som en af de første allerede på markedet med et designværktøj, der inkluderer denne litografvenlige metode. Firmaet har udvidet sin serie af Calibre værktøjer med et nyt produkt, kaldet Calibre LFD, som sætter chipdesignerne i stand til at foretage trade-off beslutninger om, hvordan et design gøres mere robust og mindre følsomt over for variationer i den litografiske proces. Calibre LFD blev for første gang officielt introduceret på DATE-konferencen i München primo marts.

på chippen. Da denne bølgelængde er meget større end dagens halvleder geometrier på 90 nm og 65 nm, bliver det vanskeligere at generere korrekt aftegnede mønstre, og problemet stiger, desto mindre geometrien er. Derfor er det i dag ikke muligt at producere chips med de små geometrier uden anvendelse af optisk proceskorrektion (OPC), fase-skiftmasker og andre RET (resolution enhancement teknikker) metoder. Desuden bliver det nødvendigt med et tættere samarbejde mellem chipdesignerne og produktionen i halvlederfabrikken ved blandt andet at anvende nye teknikker som for eksempel litografvenlig design.

Calibre LFD værktøjet fra Mentor Graphics er baseret på et proceskit med information i en database



LFD Model-Based Rule Checks

Eksempler på modelbaserede regelcheck i Calibre LFD værktøjet