

# 硅谷：全球电子业的风向标

郑期彤

前不久，由美国 Globalpress Connection 公司举办的 2006 全球电子峰会(Globalpress Electronics Summit 2006)在美国加州硅谷举行。来自全美近 50 家电子行业的著名公司及新兴公司围绕 EDA、通讯、消费电子、汽车电子等领域，就其中的热门技术和市场发展趋势，如缩短芯片的设计周期、可制造性问题在芯片设计过程中的重要性、无线移动设备及无线基站面临的机遇与挑战、最终消费者对下一代便携消费产品的要求及应对方案等进行了深入的探讨。

## EDA

### 影响芯片良率的重要因素

在制造工艺从 180nm 逐步发展进入 65nm 时代时，芯片的良率问题将会越来越重要，因此，芯片设计人员对 DFM 工具的需要也越来越迫切。Synopsys 公司副总裁兼首席技术官 Raul Camposano 博士介绍了影响芯片良率的主要因素，以及目前的解决方法。

首先，随机微粒会引起布线的开路或短路问题，随着工艺的进步，布线间距的缩小，微粒问题也愈发严重。所以，在 EDA 工具中应该对高密度的关键区域进行分析，通过布线展宽(wire spreading)可以降低密度，从而减小缺陷产生的几率。

热循环现象会导致铜互连线产生空隙，从而降低在较长互连线中产生的拉应力。这些空隙最有可能在通孔的底部形成，从而使通孔成为引发良率和可靠性问题的首要因素。因此，在设计时应尽可能在同一层走线，避免不必要的通孔。还可以利用 EDA 工具在

两层走线间插入一些冗余的通孔，这样，即使在某一通孔出现问题时，也能够保持正常接触。另外，3 维应力分析可以帮助设计人员准确地预测缺陷发生部位。

CMP(化学机械抛光)技术通常用于保持蚀刻后圆片的表面平整，包括铝和铜的镀化。随着工艺的进步，CMP 可能会引起良品率问题。CMP 会对不同介质或铜互连产生厚度变化。为避免这样的问题，又需要插入金属填充物，但这会对芯片的时序、信号完整性甚至功能造成影响。Raul 指出，Synopsys 的 EDA 工具中基于模型、由时序驱动的金属填充方法能够在整个设计过程中保证良率和时序收敛的一致性。

对于亚微米波长来说，光刻会造成严重的良率问题。OPC(光学邻近校正)、考虑光刻的物理设计和库设计，以及基于模型的光刻一致性检查(LCC)都能够提高芯片的良率。

随着芯片特征尺寸的缩小，芯片间的不一致性在不断增加，如由工艺造成的阈值电压、沟道长度、线宽等变化，以及由环境造成的电压、温度、时钟不确定性等变化。这就需要能够在设计中对不同的情况进行分析，采用不同的模型，分析多个边缘情况。Synopsys 的 TCAD 可以实现统计的时序分析以及工艺变化分析。

### Mentor DFM 工具在设计初期管理工艺变化

对 90nm 和 65nm 的硅制造工艺来说，工艺变化对芯片的良率会起很大的影响。因此，设计人员需要做出更具可靠性、对光刻工艺敏感度更小的设计。Mentor 最近推出的

Calibre LFD(Litho-Friendly Design)即可满足这一需要,它在设计初期就可以对工艺变化进行管理。

晶圆厂会像提供 DRC 套件一样为设计人员提供 LFD 套件,在一个通用的结果数据库中包括了能量、焦距、光罩偏移方面的考虑因素、分辨率增强技术(RET)、工艺模型、需要检查的参数化规则等。设计人员可以运行模拟程序来观察版图在某一个特定的光刻工艺窗口下的印刷情况,以达到“LFD 无错”的设计目标。

Calibre LFD还会计算出一个设计变化指数,称为 DVI,用来测量设计对工艺变化的弹性。越低的 DVI 数值代表更有弹性的设计。DVI 可用于比较不同的版图布局方案,从而帮助设计人员从中挑选出对工艺变化敏感度最小的方案。

Calibre LFD 建立在经过生产验证的 Calibre 设计制造平台上,可以通过 Calibre Interactive 方便地登陆到版图环境中。Calibre LFD 会像一种迭代的设计步骤一样加入设计流程,并使用与初始设计相同的版图编辑器。设计人员可以使用版图浏览器/编辑器和结果显示环境,比如 Calibre RVE 或 Calibre DESIGNrev 来获得检查结果和变化数据库。

### Novas Siloti 增强验证过程可视化

在如今的 IC 设计流程中,观察信号数据

的难度逐渐提高,设计操作的可视性随着验证的进行而不断降低。在复杂芯片设计的除错系统方面领先的 Novas 公司总裁兼 CEO Scott Sandler 表示:“首次流片和量产之间的差距正在不断增大,而验证的压力来自于设计行为中有太多的数据,但大部分时间却总是难以观察。现有的方法需要多次迭代,代价高昂,缺乏效率。”

对此,Novas 公司推出 Siloti 可视化增强(VE)工具,可以大大加速在最后阶段的验证过程中查找错误行为、分析错误原因并解决问题的整个过程。实现可视性的方法主要包括分析有限的信号数据,自动推算遗失的信息,并在 RTL 描述和底层描述之间建立联系。

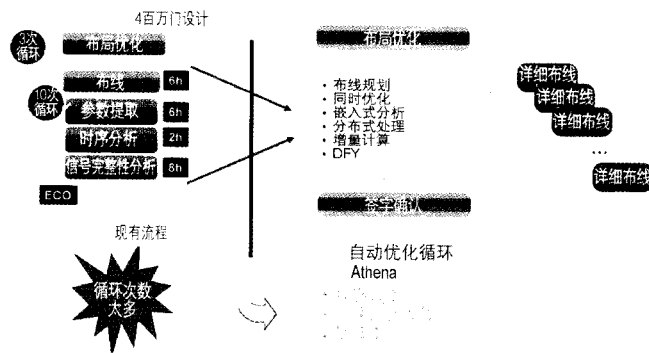
最早推出的两款包含可视化增强能力的产品是 Siloti SiLVE 和 SimVE,它们可以与第三方的模拟、仿真工具以及基于 FPGA 的原型工具一起工作。这两项工具都整合在 Novas 的自动化除错系统 Verdi 中。

Siloti SiLVE 产品可令仿真模拟器、原型以及支持 DFD(design for debug)的芯片中信号的可视性得到优化。它首先编译 HDL 设计,然后进行分析以决定哪些信号是必需的。这些信息有助于在器件中插入接入点或探针,来获得仿真和原型处理所必须的信号数据。

Siloti SimVE 产品可以与标准的 HDL 模拟器一起工作,使回归模拟(regression simulation)更有效率。根据当前的设计方法

学,设计人员经常要运行多次回归模拟。第一次模拟不加入任何信号数据,当发现问题时会根据他们的预测,加入必须的信号来试图修正错误,如果预测的不对,就进行另一次迭代。而 SimVE 优化的方法可将所用的数据限制在一个较小的关键字集中,使用户可以仅通过一次回归

► 图 1 Athena 设计流程大大提高设计效率



模拟就获得全芯片的功能除错。

### Athena 下一代优化系统

#### 加速复杂芯片的设计收敛

业界专家预计,随着每一次新的半导体制造工艺的出现,后端 IC 设计所耗费的时间都将加倍,而开发成本则将增加两倍。这主要是因为如今的 IC 实现流程需要批量地串行执行分析与提取工具,来定位时序、信号集成、电源以及可制造性等方面的问题。直接导致了許多耗时的“分析-纠正”循环,并要对互相冲突的设计限制手动加以判断与调整。

Athena 公司希望通过实现业界的首个“同时分析与优化”系统来应对深亚微米效应,从而解决这一问题。经过两年的开发,该公司推出了一系列 IC 优化工具,能够有效地管理时序、信号集成以及其他纳米级效应的 IC 实现流程。新方法无需多次的布线循环流程,而是在一个分布式的多处理器平台上执行自动优化(见图 1)。系统可提供一个中值点来快速地开发设计、优化物理布局以及评估变化结果。这改善了最终结果的质量,并且降低了在最后的签字确认中出现问题的风险。

Athena 公司的设计系统基于公司的设计智能优化算法。嵌入式分析与提取引擎,以及多线程技术。基本的系统架构还包括一个设计管理的架构,它透明化地管理所有优化作业。这一系统与主要 EDA 厂商的芯片设计

### 低功耗将成为杀手级应用

Tensilica 公司总裁兼 CEO Chris Rowen 认为,低功耗将成为电子行业新的杀手级应用。根据摩尔定律,晶体管的尺寸还在不断缩小,但是在功率密度方面已经达到极限。因此,对于处理器来说,要想获得更低的功耗,需要在架构上进行创新设计。Chris 指

工具以及布线器均兼容并且作出了增强。

Athena 公司总裁兼创始人 Fotakis 指出,“在芯片的开发中,管理分析与设计的变化是棘手的问题,主要因为实现流程一直被串行的处理技术所限制,因此大量的时间被消耗在物理芯片设计的手动优化上。而这一流程可以通过分布式的处理得到更好的管理,实现自动化。”

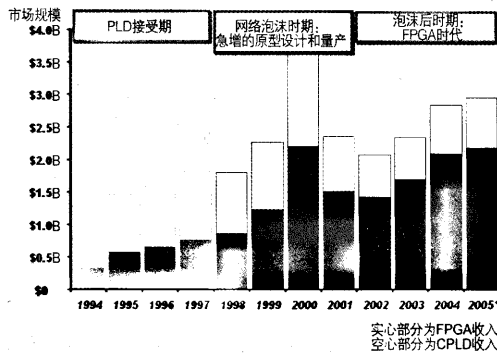
### FPGA

#### 赛灵思展出下一代 65nm Virtex

赛灵思在这届大会上展示了公司 65nm 工艺下一代 Virtex FPGA 系列中的第一款器件。赛灵思副总裁兼高级产品部总经理 Erich Goetting 表示:“我们的双代工战略继续获得收效,使我们能够优先采用前沿的工艺技术和生产能力。在 11 层金属的 CMOS 工艺中使用第三代三极栅氧化层技术,确保了我们的 FPGA 在密度、性能和低功耗方面继续领先。随着我们向镍硅化物 (nickel-silicide) 和栅堆叠结构自对准技术 (gate-stack self aligned technology) 的发展,并在所有金属电介质之间采用全低 k, 向 65nm 工艺的迁移在所有方面都带来了巨大好处,特别是在性能和功耗方面。从晶圆加工角度来看,东芝和 UMC 的组合可以支持 300mm/65nm 晶圆生产,每月产量可超过 15000 片。”

出,与单核处理器相比,多核处理器的性能更高、功耗更低。他认为,处理器需要在以下 5 个方面有所改进:要具有复杂的自动化电源管理功能,要具备可扩展性以缩短应用运行的时间,要能支持片上的低功耗通讯,能够轻松地实现多核处理器架构,并能提供有效的低功耗设计工具和设计方法学。

► 图2 PLD 市场概况



赛灵思在上世纪90年代末凭借 Virtex-II 产品系列推出业界第一款平台 FPGA，为嵌入硬 IP 提供了一种支持的结构。下一代 Virtex-II PRO 产品利用这一技术嵌入了 IBM PowerPCTM 和多千兆位收发器，成为高速串行通信、DSP 和嵌入式处理器应用领域的转折点。而随着 Virtex-4 系列的推出，通过引入 ASMBL 架构，可在同一系列中提供针对逻辑、DSP 和嵌入式处理应用领域优化的多种平台。

赛灵思下一代 Virtex 平台将继续基于这一强大基础而构建，为客户提供在 65nm 工艺节点上重复利用现有知识产权和设计知识的自然迁移途径。通过与客户的紧密合作，赛灵思的新产品可以满足高性能系统要求，同时又能实现设计时间及系统成本目标。

一些特定的客户和合作伙伴已在今年初收到试用软件，以开始对下一代 Virtex FPGA 进行评估和设计，新产品将于 2006 年下半年全面供货。

#### Altera 看好结构化 ASIC 市场

Altera 的总裁兼 CEO John Daane 把 PLD 在近 10 年内的发展分为三个阶段(见图 2)：第一阶段 1994 年~1997 年，PLD 刚开始进入市场，主要用于原型验证，1997 年，FPGA 的收入只占 PLD 市场的 1/3；1998 年~2001 年为泡沫经济时代，在这段时间内，设计人员只求产品的快速上市，因此 PLD 除了用于原型验证

外，也开始被大批量产，市场增长速度飞快；第三阶段从 2002 年~2005 年，泡沫经济衰退后人们开始更关注产品的成本，由于 PLD 器件成本较高，因此市场较 2000 年有所下降，但 PLD 的应用完全进入了 FPGA 时代，2005 年，FPGA 的收入占到了 PLD 市场的 70%。在这 10 年间，CPLD 的年复合增长率为 3%，而 FPGA 的年复合增长率则达到了 19%。

John Danne 指出，Altera 的 FPGA 在这三个阶段中均保持了行业中最高的增长率，这与 Altera 在 FPGA 上的市场战略有关。他表示，单一的架构不可能很好地满足所有用户的需求，因此，需要对不同密度的 FPGA 应用分别考虑批量生产问题。

在中小密度的产品中，Altera 的 Cyclone 系列提供了具有成本效益的 ASIC/ASSP 量产替代方案。而 Stratix 产品系列具有丰富的多功能产品，可以满足中高密度需求，并能提供最优的性能。最高性能的 Stratix 器件通常在最高密度的领域中用于原型验证。要达到 Stratix 这样高密度、大尺寸产品的量产，需要借助 Altera 的结构化 ASIC HardCopy，通过将 Stratix 中的原型设计无缝移植到 HardCopy 中，设计的实现成本能够缩减 90%；通过在移植过程中去除 FPGA 中多余的可编程单元和互连，面积能够减小 70%。

John Danne 指出，随着技术的进步，目前的高密度产品将会成为下一代的低成本产品，并直接用于量产；同时，新的更高密度的产品将会延续应用 HardCopy 来缩小成本。

Altera 十分看好结构化 ASIC 市场在未来几年内的成长，2005 年，Altera 结构化 ASIC 收入占 Altera 总收入的 4% 左右，John Danne 表示，两年内这一数字将会上升到 10%~15%。

### 3C 与汽车电子

#### 杰尔 HSDPA 芯片组解决方案面向 大众手机市场

HSDPA(高速下行分组接入)是基于 W-CDMA 的移动宽带解决方案,在 W-CDMA 的无线接入部分增加相应基带处理功能,即可将 W-CDMA 系统下行速率大幅度提升,峰值速率可达 14Mb/s,同时增加系统容量并大大降低时延。目前, HSDPA 作为 W-CDMA 的增强版已经成为业界关注的焦点。

杰尔系统总裁兼 CEO Richard Clemmer 表示,杰尔在 HSDPA 芯片组解决方案方面拥有业界领先优势,目前已推出 3.6Mbps 的 HSDPA 芯片组样片,可使手机制造商针对大众市场开发出价格低于 150 美元的 HSDPA 手机与智能电话。7.2Mbps 的 HSDPA 芯片组也将随后登场。

X455 是杰尔首批推出样片的 3.6Mbps HSDPA 解决方案之一,能够在网络技术从 GPRS/EDGE 向 W-CDMA 乃至 HSDPA 的发展过程中提供高度灵活的可扩展平台。X455 是

一款拥有完整数字与模拟基带功能的双芯片解决方案,能够确保在整个 HSDPA 部署阶段为最终用户提供高宽带连接。该解决方案可以同时支持 Rel.5 Category 6(3.6Mbps)下行链路、W-CDMA 上行与下行链路(384Kbps)以及语音服务,并能达到业界最高的宽带蜂窝性能。

HSDPA 解决方案为了符合不断发展的标准和新功能,需要昂贵而又耗时的硬件更新,而 X455 的可编程 ModemArt 引擎允许利用软件和固件快速实现技术更新。这一能力使手机与 PC 卡制造商能够快速更新和验证 HSDPA 设计,从而显著降低部署风险,并将兼容性测试与认证时间缩短达 6 个月。

基于杰尔 X455 HSDPA 产品的手机与 PC 卡将支持真正的移动宽带连接,能够实现高达 3.6Mbps 的下行链路数据速率,比 W-CDMA 解决方案的峰值速率快近 10 倍。

另外,杰尔最新的增强型接收器技术可提升手机在具备 HSDPA 功能的 W-CDMA 网络中的连接性能与通话质量。采用杰尔增强

#### 第二代 SoC

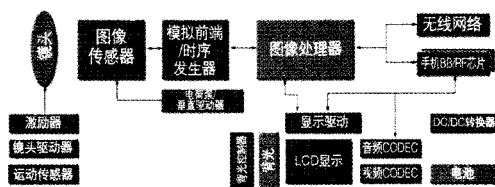
来自市场调研公司 Gartner 的市场研究副总裁及首席分析师 Bryan Lewis 提出了第二代 SoC 的概念。第二代 SoC 是指具有多处理器核的多功能单芯片,在该芯片中,每个处理器核都会驱动一个拥有独立操作系统和 API 软件的子系统。混合的产品类型、混合的工艺技术、极高的晶体管门数、多个处理器内核,以及多层软件是第二代 SoC 的明显特征。

Bryan 指出,要在芯片中集成多个处理器核并不简单,需要选择合适的处理器内核、正确地划分自己的设计、很好地管理多软件架构,还要具有良好的 ESL 工具等。但是,多处理器核的优点也是十分明显的:它

能够将独立的任务分配给不同的处理器运行,能够采用可配置处理器或并行处理提高任务的运行速度,通过分时运行还可以在同一个处理器上运行多个窄带宽任务等。

目前 3 个典型的 SoC 平台有飞利浦的 Nexperia、TI 的 OMAP 和松下的 Uniphier。据 Gartner 分析,到 2010 年,第二代 SoC 的市场将会高达 300 亿美元。Bryan 认为, TI、飞利浦、IBM 等具有完整解决方案的大公司, ARM、Tensilica 等处理器内核供应商, WindRiver、微软、Ignios 等嵌入式软件公司, Math Works、Coware、Synopsys 等 ESL 设计工具供应商,以及可提供 SiP 封装的公司会从这一市场中获益。

► 图3 数码相机信号链



型接收器的手机不仅能够减少掉线机率，在呼叫条件较差的情况下使传输距离提高25%，而且还能帮助网络运营商提高单位容量。

### PMC-Sierra 单芯片 CPRI 解决方案 实现分布式基站

PMC-Sierra 公司的副总裁兼首席技术官 Robert Yang 介绍了下一代基站面临的挑战及解决方案。他指出，下一代基站将转向分布式基站，基带处理单元(BBU)和射频拉远单元(RRU)设计成单独的模块，两者间通过开放的 CPRI(公共无线接口)标准接口，以光纤相连接。分布式基站可以实现快速便捷的网络部署，而且有利于大幅降低运营商建网的成本。

PMC Sierra开发了业界首款可完全支持 CPRI 规范的单芯片产品 BRIC 系列，可以帮助运营商实现分布式基站系统。BRIC 系列现在包括全功能的 6 端口和 2 端口终端器件 PM7830 BRIC-6 和 PM7832 BRIC-2，它们支持多种无线接口，在一个接口方案上通过 CPRI 可实现 WCDMA、CDMA2000、TD-SCDMA 和 WiMAX 的连接。

BRIC 产品系列提供了完全符合标准的端对端接口方案，可以降低用户 ASIC/FPGA 的开发成本和认证过程。它无需任何外部抖动衰减电路来恢复时钟以满足 CPRI 规范的要求，结合 PMC-Sierra 先进的 SERDES 技术与标准兼容测试，可以确保串行接口性能与质量。

此外，BRIC 针对分布式无线基站结构，在一个器件上实现了多种功能，具有较高的集成度，可大大减少线路板面积、材料清单、可编程逻辑门数量以及用户开发和认证周

期，从而降低系统总体成本。高集成度降低了外部易失效元器件的数量，因此可靠性更高，减少了应用现场发生故障的几率。

BRIC 结合了 PMC-Sierra 第五代 SERDES 技术，可提供超标准的抗抖动性能。它可对发射器预加重、接收器均衡以及输出电压幅度进行微调，因此具有极高的灵活性，可对重要的系统信号完整性参数进行优化。

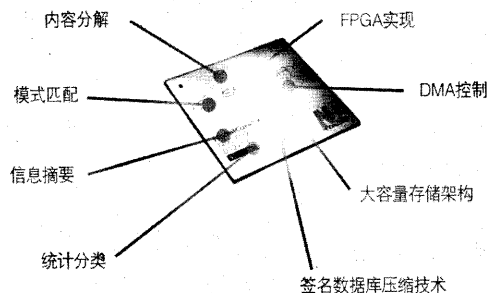
### 用户体验推动模拟器件发展

ADI 副总裁 Lew Counts 指出，目前，用户在使用消费电子产品时对体验要求的增加，是促使高性能模拟器件不断发展的主要原因。比如，用户希望手机能够方便地连接网络，能具有游戏、电视、MP3、相机等各项功能，并可以延长电池的使用时间，对于模拟器件来说，就需要高速高分辨率的 ADC、低功耗的 24 位显示器驱动和模拟前端、D 级放大器、电源管理芯片等予以支持。又如用户对数码相机要求是更快的帧速率、更大的存储容量、HDTV 捕捉及无线连接能力，这些需求要靠具有 36MSPS 采样速率的多通道模拟前端、HDMI 接口、WiFi 模块等模拟芯片来实现(见图 3)。在汽车电子领域，用户希望汽车具有卫星接收器、导航系统，希望能够不用钥匙就控制车门，并能获得如影院般的视听享受，这些要求将推进 RF 监测器、触摸屏数字转换器、CDC 转换器和音频编解码器等模拟产品的不断进步。

### Andigilog 智能热管理解决方案 满足散热需求

“缩小系统体积、加快处理器速度和让计算机更安静是产业趋势，这使得热监控成为设计人员面临的巨大挑战之一。Andigilog ThermalEdge 技术或其它整合式设计可将智能型温度控制功能加入系统各个组件，进而提供一套经济而有效率的新方法来协助解决这些问题。” Andigilog 总裁兼 CEO Bill Sheppard 表示。

► 图4 NodalCore安全处理器



ThermalEdge 技术能为计算机子系统提供精确的温度感测、精准的系统控制以及风扇噪音和散热管理。Andigilog 最新采用 ThermalEdge 技术的温度传感器和马达控制器能够支持PC、笔记本电脑和其它计算机系统的温度控制。

Andigilog aSC7512系统控制器内含远程温度感测和自动风扇转速控制,提供了强大的处理器温度管理监控功能。aSC7512控制器高达 $\pm 1^{\circ}\text{C}$ 的感测精准度可得到更精确的监控结果,系统因此能够更有效率地使用风扇以节省功耗和减少运转噪音。

Andigilog aMC8500控制器包含高度整合的马达控制功能,可提供1A无刷直流马达所需的全部驱动功能,其它内建功能包括2组0.5 $\Omega$  MOSFET 马达驱动开关,可同时接受数字和模拟PWM信号,并提供高效率转速控制的可选择式斜率,可编程最小转速设定,霍尔放大器和专用的噪声消除电路,以及最适合便携应用的可选择式自动低电流关机模式。

#### Sensory 安全处理器保证网络安全

Sensory 是一家能够提供高性能的内容保护协处理技术,保证网络安全的公司。Sensory 公司 CEO Matt Barrie 指出,安全的解决方案在过去通常只由软件提供,而目前大部分则改由专门的硬件来提供。据 IDC 分析,到2007年,80%的安全解决方案将会由专门的安全硬件来提供。Sensory 可提供的产品包括专用的芯片组、与之相关的参考设计

和 PCI 卡、API 和软件库等。

其 NodalCore SPU(安全处理器)能够提供内容分解(Content Decomposition)、模式匹配(Pattern Matching)、消息摘要(Message Digest)、统计分类、DMA控制、大容量的存储架构、独特的签名数据库压缩技术。另外,NodalCore 基于FPGA实现,因此只需通过网络就可轻松实现性能和功能的升级工作(见图4)。

NodalCore-X SPU是Sensory面向内容安全应用领域推出的第二代高性能并行协处理器,在涉及高性能网络安全的应用中,如防病毒、防垃圾、入侵检测和内容分类,可有效解决网络瓶颈。

#### AMI 向汽车市场提供一站式解决方案

AMI 半导体是混合信号和结构化数字产品的提供商,其产品主要应用于汽车、通信、工业、医疗、军事等领域,其中最大的目标市场是汽车电子,占AMI总收入的26%。AMI 向汽车领域提供的产品包括发动机控制器、车内网络、无钥门禁、CMOS图像传感器、气囊系统、导航信息、油量检测、TPMS 解决方案等,可满足汽车市场对半导体器件的高性能、低成本、高可靠性和安全性的要求。

AMIS最新的AMIS-42700高速双收发器芯片可用于高速CAN网络中单片上两个CAN总线和协议控制器之间的接口,从而提供了低成本、低元件数量、低功耗的CAN转发器方案。该产品可用于引擎管理单元和车身电子系统控制如车窗、空调和车辆照明等装置中,适用于12V和24V的汽车系统。

AMIS-42700采用紧凑型绿色SOIC30020引脚封装,运行时电磁辐射非常低,因此不需要共模扼流圈。另外,接收器的宽输入共模电压范围使得器件不易受电磁干扰。该产品不仅能提供简单的途径来延长CAN总线长度,而且能在无需另加微控制器的情况下为CAN网络总线提供诊断接入点。■